

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ À
L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

COMME EXIGENCE PARTIELLE À L'OBTENTION DE LA
MAITRISE EN GÉNIE ÉLECTRIQUE

M Ing.

PAR
YASSINE SALIH ALJ

CONCEPTION D'UN SYSTÈME D'ACQUISITION GPS RAPIDE

MONTREAL, LE 15 DÉCEMBRE 2003

© droits réservés de Yassine Salih Alj

CE MÉMOIRE A ÉTÉ ÉVALUÉ
PAR UN JURY COMPOSÉ DE :

François Gagnon, directeur de mémoire
Département de génie électrique à l'École de technologie supérieure

René Jr. Landry, codirecteur de Mémoire
Département de génie électrique à l'École de technologie supérieure

Christian Gargour, président du jury
Département de génie électrique à l'École de technologie supérieure

Jean-Claude Lanoue, jury externe
CMC Électronique

IL A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC
LE 12 DÉCEMBRE 2003
À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

CONCEPTION D'UN SYSTÈME D'ACQUISITION GPS RAPIDE

Yassine Salih Alj

SOMMAIRE

Dans ce travail plusieurs techniques nouvelles pour le GPS ont été explorées et appliquées. La première est la technique de traitement par blocs qui est utilisée habituellement dans le domaine du traitement d'images. Cette méthode a été appliquée pour le traitement du signal GPS et a démontré des résultats encourageants. Elle est basée sur l'utilisation de FFT permettant de calculer la fonction de corrélation rapidement par une simple multiplication dans le domaine fréquentiel. L'architecture proposée sur la base de cette méthode a été retenue selon ses performances démontrées, et ce pour remplacer la structure actuelle du récepteur GPS.

Une autre méthode étudiée, consiste en l'application d'un algorithme complexe basé sur la transformée de Walsh Hadamard. Cette dernière permettrait d'accélérer 26 fois le calcul de la fonction corrélation, et ce par rapport à la transformée de Fourier rapide FFT. Malheureusement, cette transformée n'est pas directement applicable aux séquences de Gold utilisées en GPS. Ainsi cette technique n'a pas été retenue pour cette application.

La troisième technique utilisée est une méthode de conception connue dans le domaine de la microélectronique, à savoir la structure systolique. Ce nouveau mécanisme parallélisé a été appliqué et testé pour l'acquisition du signal GPS. En terme de rapidité et de complexité, cette technique est fort avantageuse. Le système d'acquisition proposé qui est à la base de sa conception et de son mécanisme de fonctionnement se distingue par son architecture simple et compacte, une vitesse de traitement de l'ordre de 1 ms et des performances d'estimation remarquables. Donc, cette méthode a été considérée comme étant la meilleure solution pour remplacer la structure du récepteur GPS actuel.

Finalement, l'évaluation de la complexité des deux architectures retenues a confirmé l'efficacité de la nouvelle architecture proposée, basée sur le mécanisme systolique. Sa complexité pour une implémentation directe, ne consomme pas plus de 54 % des ressources d'une puce Virtex-II Pro XC2VP125. Cette complexité peut être réduite permettant ainsi l'utilisation de puces de plus petite taille telle que la Virtex-II Pro XC2VP7, et ce au prix de l'utilisation d'une horloge plus rapide. Ceci est réalisable en effectuant un traitement par blocs qui permettra d'emmagasinier les bits entrants dans des tampons pour pouvoir alimenter ensuite un nombre réduit de cellules dans le corrélateur systolique. Pour un réseau avec un nombre de cellules réduit à 100, l'horloge utilisée doit être dix fois plus rapide. Ceci permet de conserver le même temps de réponse du

système d'acquisition, mais avec une complexité dix fois plus petite en terme de "slices". Dans ce cas, une puce aussi petite que la Virtex-II Pro XC2VP4 pourrait suffire, et ce avec une exploitation de moins de 4.76 % de ses ressources de mémoires RAM. La méthode proposée a permis d'améliorer davantage les performances du récepteur GPS qui y est issu, et ce en terme de vitesse de traitement, de qualité des estimations et de flexibilité d'implémentation. L'architecture qui découle de la première technique basée sur l'utilisation des FFT, nécessite une plus grande surface de silicium, et exige ainsi d'utiliser plus d'une puce programmable FPGA pour l'implémentation complète du système d'acquisition.

DESIGN OF A GPS FAST ACQUISITION SYSTEM

Yassine Salih Alj

ABSTRACT

In this work, several new techniques for GPS were studied and simulated. The first one was block-processing technique that is usually used for image processing. This method was applied for the GPS signal processing and has shown interesting results. By using the Fast Fourier Transform (FFT), the calculation of the correlation function is implemented with simple multiplications in the frequency domain, which allows to considerably speed up the computation time. Based on this approach, an architecture for such a system is proposed and simulated. The results are clearly satisfactory and the proposed architecture is believed to be able to replace the current structure of receiver GPS.

Another technique, which is based on Walsh Hadamard transform, is presented. The simulation results show that it is possible to accelerate the calculation of the correlation function 26 times compared to the Fast Fourier Transform (FFT). Unfortunately, this technique is not directly applicable to Gold sequences used in GPS systems; and for this reason, it is not retained.

A new system architecture is presented. It is based on a structure that is used in microelectronics, namely the systolic structure. This new paralleled mechanism was applied and tested for the acquisition of GPS signal. In terms of speed and complexity, this technique is extremely advantageous. The proposed acquisition system is characterized by its simple and compact architecture, a processing speed of about 1 ms and similar performances of estimation. Therefore, this method was regarded as being the best solution to replace the structure of current GPS receivers.

In addition to the analysis of the performances, an evaluation of the complexity of the two selected architectures has been carried out. The results clearly demonstrate the superiority of the systolic architecture. Indeed, its complexity for a direct implementation, does not consume more than 54 % of the resources of a Virtex-II Pro XC2VP125 and it becomes possible to implement the system in a smaller chip such as Virtex-II Pro XC2VP7, with a faster clock. This is realizable by carrying out a treatment per blocks, which will allow storing the bits entering in buffers and then feeding a reduced number of cells in the systolic correlator. For a network having one hundred (100) cells, the clock used must be ten times faster. This will allow preserving the same response time of the acquisition system, but with a complexity ten times smaller in terms of slices. In this case, a chip as small as a Virtex-II Pro XC2VP4 can be enough to

implement the whole system with an exploitation of less than 4.76 % of the RAM resources. Thus, by using this proposed technique, it becomes possible to improve the performance of GPS receivers in terms of processing speed, quality of the estimation and flexibility of implementation. For the first technique based on the FFT, it requires a larger silicon area and necessitates more than one FPGA chip for a complete implementation of the acquisition process.

REMERCIEMENTS

Monsieur François Gagnon

Votre esprit de rigueur professionnelle remarquable lors de votre encadrement vigilant n'a rien à envier à votre constante chaleur humaine. Vos conseils et votre soutien tout au long de ce travail m'ont été si précieux. Votre suivi exemplaire et votre apport au bon moment des moyens suffisants, à la fois matériels et moraux, m'ont facilité la tâche, et seront pour moi inoubliables. Je n'ai pas de mots pour vous remercier comme il se doit de votre assistance. Veuillez croire en toute ma gratitude.

Monsieur René Jr. Landry

Je vous exprime ma grande gratitude non seulement pour avoir accepté de codiriger ce travail, mais aussi pour votre généreuse disponibilité exprimant votre intérêt pour le bon déroulement de ce travail. Je vous en remercie vivement.

Messieurs les membres du jury

Je vous remercie pour l'intérêt que vous avez voulu porter à ce travail en acceptant de l'évaluer. Veuillez croire en mon profond respect.

TABLE DES MATIÈRES

	Page
SOMMAIRE	ii
ABSTRACT	iv
REMERCIEMENTS	vi
TABLE DES MATIÈRES	vii
LISTE DES FIGURES	ix
LISTE DES ABRÉVIATIONS ET LEXIQUE	xi
INTRODUCTION	1
CHAPITRE 1 SYSTÈME DE POSITIONNEMENT GPS	6
1.1 Étalement spectral et CDMA	6
1.2 Présentation du GPS	7
1.2.1 Séquences de Gold	8
1.2.2 Code C/A	10
1.2.3 Structure du signal GPS	13
1.3 Traitement du signal GPS	15
1.4 Architecture du récepteur GPS	16
1.4.1 Section RF	17
1.4.2 Boucles de poursuite	18
1.4.3 Phase d'acquisition	22
1.5 Principe de base du corrélateur	22
CHAPITRE 2 TECHNIQUES D'ACQUISITION	24
2.1 Stratégies classiques d'acquisition	24
2.1.1 Région d'incertitude de l'acquisition	24
2.1.2 Algorithmes de recherche	26
2.2 Description détaillée du processus d'acquisition	30
2.2.1 Architecture d'un module d'acquisition	30
2.2.2 Processus de recherche	33

CHAPITRE 3	TECHNIQUE DE TRAITEMENT PAR BLOCS	38
3.1	Présentation de la technique	38
3.2	Système de collecte de données GPS	39
3.3	Structure du signal	41
3.4	Corrélateur GPS rapide à base de FFT	42
3.5	Architecture du récepteur GPS rapide	45
CHAPITRE 4	UTILISATION DE LA TRANSFORMÉE DE WALSH	49
4.1	Séquences PN et transformée de Walsh	49
4.2	Algorithme de convolution	50
4.3	Implémentation matérielle	54
4.3.1	Générateurs de permutations	54
4.3.2	Transformée de Walsh	56
4.4	Comparaison de Walsh à la FFT	58
4.5	Walsh en GPS	59
CHAPITRE 5	UTILISATION DE LA MÉTHODE D'ÉCHANTILLONNAGE	60
5.1	Présentation de la méthode	60
5.2	Insertion du zéro à la séquence de 1023 points	63
5.3	Échantillonnage à 1024 points	64
5.4	Architecture proposée	65
5.4.1	Détecteur du pic	67
5.4.2	Estimateur de la phase de fréquence	69
5.5	Discussion des performances et résultats	72
CHAPITRE 6	ACQUISITION À BASE DE CORRÉLATEURS SYSTOLIQUES ..	75
6.1	Principe d'une architecture systolique	75
6.2	Architecture proposée du corrélateur systolique	79
6.3	Discussion des performances et résultats	86
CHAPITRE 7	ARCHITECTURES RETENUES	90
7.1	Aperçu des puces programmables FPGA de Xilinx	90
7.2	Analyse de complexité et validation des architectures	94
7.2.1	Architecture du corrélateur GPS systolique	94
7.2.2	Architecture du corrélateur rapide à base de FFT	98
CONCLUSION GÉNÉRALE		100
BIBLIOGRAPHIE		103

LISTE DES FIGURES

	Page
Figure 1 Exemple d'étalement spectral par séquence directe DSSS.....	7
Figure 2 Constellation du système GPS.....	8
Figure 3 Générateur de code de Gold de longueur $N = 31$	9
Figure 4 Générateur de code C/A.....	10
Figure 5 Illustration du déphasage entre les signaux civil et militaire.....	11
Figure 6 Fonction d'auto-corrélation normalisée du code C/A	12
Figure 7 Spectre fréquentiel du signal GPS	13
Figure 8 Structure simplifiée du modulateur du signal L1	14
Figure 9 Schéma bloc d'un récepteur générique GPS	17
Figure 10 Schéma bloc d'un canal de poursuite générique GPS	19
Figure 11 Structure d'un corrélateur à base de registres à décalage	23
Figure 12 Espace de recherche pour l'acquisition du signal GPS	25
Figure 13 Structure des stratégies de recherche séquentielle d'énergie.....	26
Figure 14 Schéma bloc du système d'acquisition d'un code d'étalement	27
Figure 15 Fonctionnement de la Recherche en Double Périodes	29
Figure 16 Configuration d'acquisition d'un canal de récepteur GPS	31
Figure 17 Région d'incertitude de la phase du code et du décalage Doppler	34
Figure 18 Recherche de phase de code par décalage de la séquence de code	34
Figure 19 Illustration du traitement par blocs pour cinq échantillons / bloc	39
Figure 20 Système de collecte de données GPS-SPS	40
Figure 21 Traitement par blocs	42
Figure 22 Schéma bloc d'un corrélateur GPS rapide.....	44
Figure 23 Schéma bloc du système d'acquisition GPS.....	45
Figure 24 Résultat de corrélation rapide d'un signal GPS	46

Figure 25	Forme triangulaire du pic de corrélation	47
Figure 26	Illustration de l'algorithme de convolution basé sur WT	51
Figure 27	Corrélation rapide basée sur la transformée de Walsh	53
Figure 28	Implémentation d'un générateur de permutations S	55
Figure 29	Implémentation d'un générateur de permutations S^{-1}	56
Figure 30	Implémentation d'un générateur de permutations C	56
Figure 31	Papillon de Walsh de 4 points	57
Figure 32	Schéma bloc du système d'acquisition	61
Figure 33	Schéma bloc du récepteur GPS rapide.....	66
Figure 34	Diagramme de fonctionnement du détecteur de pic	68
Figure 35	La fonction ATAN et son approximation.....	70
Figure 36	Erreur d'approximation de la fonction ATAN(Q/I)	71
Figure 37	Résultat de la corrélation rapide du signal GPS	73
Figure 38	Illustration du mécanisme de systolisation.....	76
Figure 39	Évolution des données dans un réseau systolique	77
Figure 40	Exemple d'utilisation du mécanisme systolique	78
Figure 41	Architecture du corrélateur de code systolique	80
Figure 42	Illustration d'effet de déviation de phase de code	
	et de phase Doppler.....	82
Figure 43	Illustration de l'architecture proposée du corrélateur	
	GPS systolique avec son module de calcul.....	84
Figure 44	Résultat de corrélation obtenu pour un décalage de 700 chips.....	86
Figure 45	Résultat de corrélation obtenu pour un décalage de 1000 chips.....	88
Figure 46	Forme triangulaire du pic de corrélation autour de l'indice 1000	89
Figure 47	Arbre généalogique des séries de générations de FPGA de Xilinx	91
Figure 48	Structure globale d'une puce FPGA	91
Figure 49	Structure simplifiée d'une "slice".....	93

LISTE DES ABRÉVIATIONS ET LEXIQUE

ADC	Convertisseur analogique/numérique (Analog/Digital)
A&D	Accumulation et blocage (Accumulate-and-Dump)
AGC	Contrôle automatique de gain (Automatic Gain Control)
BPSK	Modulation binaire par décalage de phase (Binary Phase Shift Keying)
C/A	Code PRN du signal GPS de cadence 1.023 MHz (Coarse/Acquisition)
C&M	Comparaison et Mémorisation permettant de garder l'indice de la meilleure valeur comparée
CDMA	Accès multiple par division de code (Code Division Multiple Access)
Chip	Un signal qui peut être 0 ou 1 et qui pour le GPS est d'une durée de 997ns constituant un code PRN
CLB	Blocs d'éléments logiques configurables (Configurable Logic Blocks)
CORDIC	Un algorithme de rotation (COrdinate Rotation DIgital Computer)
dB	Décibel
DFT	Transformée discrète de Fourier (Discrete Fourier Transform)
DLL	Boucle à verrouillage de délais (Delay Lock Loop)
DSP	Processeur de signaux numériques (Digital Signal Processing)
DSSS	Étalement spectral par séquence directe (Direct Sequence Spread Spectrum)
E/P/L	Avance, phase et retard (Early / Prompt / Late)
FLL	Boucle à verrouillage de fréquence (Frequency Lock Loop)
FFT	Transformée rapide de Fourier (Fast Fourier Transform)
FPB	Filtre Passe Bande
FPGA	Puce de portes programmables (Field Programmable Gate Array)
GPS	Système de positionnement par satellites (Global Positioning System)
HOW	Message GPS de transfert (Hand-Over Word)
Hz	Hertz

I/Q	En phase et en quadrature de phase (In-phase/Quadra-phase)
IF	Fréquence intermédiaire (Intermediary Frequency)
IMU	Module de mesure inertielle (Inertial Measure Unit)
IOB	Blocs d'entrées/sorties d'une matrice FPGA (Input/Output Blocks)
L1	Fréquence porteuse égale à 1575.42 MHz
L2	Fréquence porteuse égale à 1227.60 MHz
LFSR	Registre à décalage avec rétroaction linéaire (Linear Feedback Shift Register)
LO	Oscillateur local (Local Oscillator)
LSB	Bit du poids faible (Least Significant Bit)
LUT	Élément de mémoire de FPGA (Look UP Tables)
MLS	Séquence à longueur maximale (Maximal Length Sequence)
MSB	Bit du poids fort (Most Significant Bit)
NCO	Oscillateur contrôlé numériquement (Numerically Controlled Oscillator)
NSR	Rapport bruit à signal (Noise to Signal Ratio)
P	Code PRN du signal GPS militaire de cadence 10.23 MHz (Precise)
PE	Cellule ou élément de traitement (Processing Element)
PI	Blocs de connexions programmables (Programmable Interconnect)
PLD	Circuit logique et programmable (Programmable Logic Device)
PLL	Boucle à verrouillage de phase (Phase Lock Loop)
PPS	Service de positionnement précis (Precise Positioning Service)
PRN	Bruit pseudo-aléatoire (Pseudo Random Noise)
PSK	Modulation par décalage de phase (Phase Shift Keying)
RAM	Mémoire à accès aléatoire (Random Access Memory)
RF	Fréquence radio (Radio Frequency)
SNR	Rapport signal à bruit (Signal to Noise Ratio)
SPS	Service de positionnement standard (Standard Positioning Service)
SV	Véhicule spatial (Space Vehicle)
TOA	Temps d'arrivée (Time Of Arrival)

INTRODUCTION

Le positionnement ou capacité de se localiser dans notre monde, a toujours jouit d'une importance cruciale et exceptionnelle. Depuis les premiers temps, les marins avaient forgé leurs propres moyens pour se localiser en utilisant les objets célestes afin de pouvoir naviguer sans se perdre.

Aujourd'hui, les systèmes GPS ("Global Positioning System") offrent des précisions centimétriques et sont largement utilisés pour la navigation, les communications sans fils et pour d'autres applications. Ces systèmes sont basés sur des satellites qui orbitent autour de la terre, et qui envoient des signaux RF aux récepteurs GPS. Ces derniers permettent à l'engin qui les porte de se localiser où qu'il soit, sur la surface de la terre, sous l'eau ou dans l'espace. Ceci est effectué en déterminant les coordonnées spatiales (x, y, z) du récepteur à partir du temps nécessaire pour la propagation du signal GPS des satellites en vue, et ce à partir de leurs orbites dans l'espace.

Problématique

Le monde où nous vivons aujourd'hui est assujéti à un rythme d'évolution très élevé. Ainsi les changements doivent aussi s'y faire avec rapidité et efficacité afin de suivre la cadence du progrès exigé et répondre aux besoins dynamiques en matière de technologie de pointe. Le GPS est devenu très sollicité, voire indispensable dans plusieurs applications de notre 21^{ème} siècle. Cependant l'architecture actuelle des récepteurs GPS utilisés aujourd'hui est devenue un véritable obstacle devant les exigences de rapidité des nouvelles applications technologiques.

Les récepteurs GPS de nos jours sont basés sur les techniques de traitement séquentiel effectuant une saisie des échantillons un à la fois. Ce qui a un effet direct sur la qualité

de traitement de ce signal. Aussi, les éléments de base utilisés dans l'architecture de ces récepteurs standards, à savoir les boucles d'accrochage de phase PLL ("Phase Locked Loop"), de fréquence FLL ("Frequency Locked Loop") et de délai DLL ("Delay Locked Loop"), ont été utilisées pour des décennies. Ces boucles représentent un inconvénient majeur pour réduire le temps nécessaire au traitement du signal GPS reçu, car le signal traité reste parfois confiné dans ces boucles de poursuite. À titre d'exemple, en cas de décrochage de boucle le récepteur se voit dans l'obligation de recommencer à nouveau le processus d'acquisition, ce qui peut consommer inutilement le temps de traitement du signal GPS reçu et engendrer un temps de réponse de ce récepteur relativement long. Ainsi, ces récepteurs GPS standards ne représentent sans doute pas des solutions optimales en particulier pour les applications de haute vitesse dynamique ou en présence de problèmes de réflexions par trajet multiple ou d'interférences. D'autre part, le traitement du signal GPS à la réception se fait dans le domaine temporel. Or le calcul de la fonction de corrélation dans ce domaine est un processus qui consomme énormément du temps de traitement [Braasch99]. Ce qui n'est pas encore la manière optimale pour effectuer ce traitement, et ce dans l'objectif de réduire ce temps de réponse du récepteur GPS.

Objectif

Les nouvelles tendances de conception des récepteurs GPS se dirigent vers l'exploitation de nouvelles techniques pour le traitement du signal GPS. Ceci est effectué dans le but d'accélérer le processus d'acquisition en conservant les performances dans les conditions difficiles, et ce tout en optimisant l'architecture de ce récepteur GPS.

Au cours des dernières années, de nouvelles méthodes de traitement du signal GPS à la réception, ont été introduites. La technique de traitement par blocs, habituellement utilisée dans le traitement d'images, a été présentée pour le traitement du signal GPS. Celle-ci a permis de faire un grand saut par rapport aux techniques standards utilisées

dans ce domaine. Le signal GPS reçu est traité par blocs d'échantillons permettant ainsi d'obtenir de meilleures performances dans les conditions difficiles [Moeglein98]. Cette technique est basée sur le calcul de la fonction de corrélation dans le domaine fréquentiel, et ce en utilisant des transformées de Fourier discrètes DFT. Notons que le calcul de la fonction de corrélation de deux séquences de longueur de N , et ce en utilisant une simple multiplication dans le domaine fréquentiel, permet de réduire les calculs de $N/\log N$ fois, permettant ainsi d'accélérer significativement le processus d'acquisition et de faciliter l'acquisition en temps réel du signal GPS [VanNee91].

Le travail présenté ici a comme objectif d'explorer ces nouvelles techniques et de découvrir d'autres méthodes pouvant améliorer davantage le processus d'acquisition du signal GPS. Une des méthodes étudiées, consiste en l'application d'un algorithme basé sur la transformée de Walsh, et ce en concurrence avec l'utilisation de la transformée de Fourier rapide FFT. Aussi, un des buts principaux de ce travail est de trouver une structure parallélisée du corrélateur GPS permettant d'optimiser l'architecture du système d'acquisition ainsi que son fonctionnement. Ceci a été effectué en explorant les techniques utilisées pour la conception des architectures complexes des microprocesseurs. Ces derniers sont basés sur un mécanisme de fonctionnement systolique. Un réseau systolique est caractérisé par une architecture parallèle composée de cellules identiques, simples et interconnectées d'une façon régulière et locale. Les cellules évoluent en parallèle et sont cadencées par une horloge globale faisant en sorte que les calculs soient effectués simultanément. La régularité ainsi que la localité dont jouit ces réseaux les rendent particulièrement bien adaptés à être intégrés sur silicium.

Enfin, l'étude des nouvelles architectures proposées pour le système d'acquisition GPS devra inclure une évaluation de la complexité de celles-ci, et ce dans le but d'une implémentation sur une puce programmable FPGA. Ces puces sont connues pour leurs grande capacité d'intégration, de reconfigurabilité, et surtout par leurs fréquences d'opération élevées permettant ainsi une très grande vitesse de traitement.

Structure du mémoire

Ce mémoire est composé de sept chapitres. Le premier chapitre donne un aperçu sur les caractéristiques pertinentes du signal GPS en introduisant la technologie CDMA. Ensuite le code de Gold utilisé en GPS est présenté, suivi par les détails de ce code utilisé pour les applications civiles. Enfin la structure du signal GPS et son traitement à la réception sont discutés. L'architecture globale du récepteur est par la suite présentée, et ce à travers ses différents blocs constitutifs : l'étage RF, les boucles de poursuite de code et de la porteuse ainsi que le processus d'acquisition. Enfin, le principe de base du fonctionnement du corrélateur est discuté.

Dans le deuxième chapitre, les techniques d'acquisition et les processus de recherche utilisés pour les récepteurs séquentiels standards sont discutés en détail.

Le chapitre 3 explore la technique de traitement par blocs pour son utilisation en acquisition GPS. Les composants essentiels pour une structure du récepteur basé sur cette méthode seront étudiés. Finalement, une architecture à base de cette technique, faisant appel à l'usage des transformées de Fourier rapide FFT, sera présentée et simulée.

Le quatrième chapitre introduit une autre transformée à explorer, la transformée de Walsh. Son application à travers un algorithme complexe permettant de manipuler des séquences pour en déduire le déphasage est documentée et explicitée avec un exemple appuyé par son résultat de simulation. Les blocs nécessaires pour une conception basée sur cette technique seront ensuite étudiés. Et enfin, une mise en valeur des avantages de cette transformée par rapport à celle de la FFT sera présentée, suivie par les perspectives d'applicabilité de cette transformée de Walsh rapide pour l'acquisition du signal GPS.

Le chapitre 5 présente une méthode d'échantillonnage permettant d'améliorer l'architecture déjà présentée au chapitre 3. Nous y présenterons les solutions pertinentes essayées, et ce pour adapter cette méthode à la conception du corrélateur GPS rapide optimal tout en conservant ses performances. Enfin une solution sera retenue et une architecture finale sera proposée et commentée avec ses blocs importants. Nous conclurons finalement par une discussion des performances et résultats obtenus par simulations de cette architecture.

Le chapitre 6 présente une méthode originale pour la conception d'un système d'acquisition basé sur un corrélateur GPS rapide. Celui-ci est régi par le fonctionnement parallélisé du mécanisme systolique. Une architecture compacte du système d'acquisition basé sur ce corrélateur systolique sera proposée. Et enfin, les résultats de simulations ainsi que les performances de cette architecture seront présentés.

Dans le dernier chapitre l'étude de la complexité des architectures retenues sera réalisée. Le chapitre 7 commence par un bref aperçu sur les puces FPGA de Xilinx. Ceci est suivi par une analyse de complexité et une validation des architectures retenues. Suite à cette étude, une architecture se démarque des autres et est validée pour son implémentation.

Finalement, les chapitres sont suivis d'une conclusion générale avec quelques recommandations et perspectives de développement.

Contribution

Le travail présenté dans ce mémoire a contribué à l'amélioration du processus d'acquisition du signal GPS, et ce en explorant de nouvelles techniques et en concevant de meilleures architectures. Ces techniques utilisées pourraient même permettre la suppression totale des boucles de poursuites tout en accélérant le traitement et optimisant davantage la structure des architectures obtenues. L'architecture systolique

proposée pour la conception de ce système d'acquisition est nouvelle dans le domaine du GPS. En effet celle-ci a permis une nette amélioration par rapport à n'importe quelle autre structure connue des récepteurs GPS.

CHAPITRE 1

SYSTÈME DE POSITIONNEMENT GPS

1.1 Étalement spectral et CDMA

Un système de communication à étalement spectral utilise une largeur de bande plus grande que nécessite l'information à transmettre. Ainsi, la largeur de bande de transmission est beaucoup plus grande que celle de l'information [Peterson95]. La largeur de bande de transmission est obtenue en utilisant un signal d'étalement qui est indépendant des données de l'information. Les applications militaires ont commencé à utiliser les techniques d'étalement spectral il y'a plus de cinquante années pour leur avantageuse particularité permettant de rejeter l'interférence intentionnelle et involontaire [Gibson93]. En plus, l'étalement spectral permet un accès sélectif à des utilisateurs multiples et fournit une bande de haute résolution. Au cours de la dernière décennie, ces caractéristiques avaient accéléré l'intégration de cette technique aux différents systèmes de communications dans des applications commerciales diverses tels que les applications de radio mobiles, des communications par satellite, et des systèmes de positionnement. L'étalement spectral le plus largement utilisé est l'étalement spectral par séquence directe DSSS [Dixon94]. L'étalement DSSS est réalisé en multipliant une porteuse RF par un code pseudo aléatoire de bruit PRN. Par conséquent comme l'illustre la figure 1, la largeur de bande du signal étalé est supérieure à celle de l'information. Chaque utilisateur ou émetteur utilise un code différent qui est orthogonal aux codes des autres utilisateurs ou émetteurs. Cette méthode s'appelle l'accès multiple par division de code CDMA [Hassan98].

À l'émetteur, un code PRN est modulé par une séquence d'information en utilisant une modulation PSK. Une forme simple de l'étalement DSSS utilise la modulation BPSK.

Cette dernière fixe la phase de la porteuse à 180 degrés lorsqu'un chip du code PRN est égale à -1 .

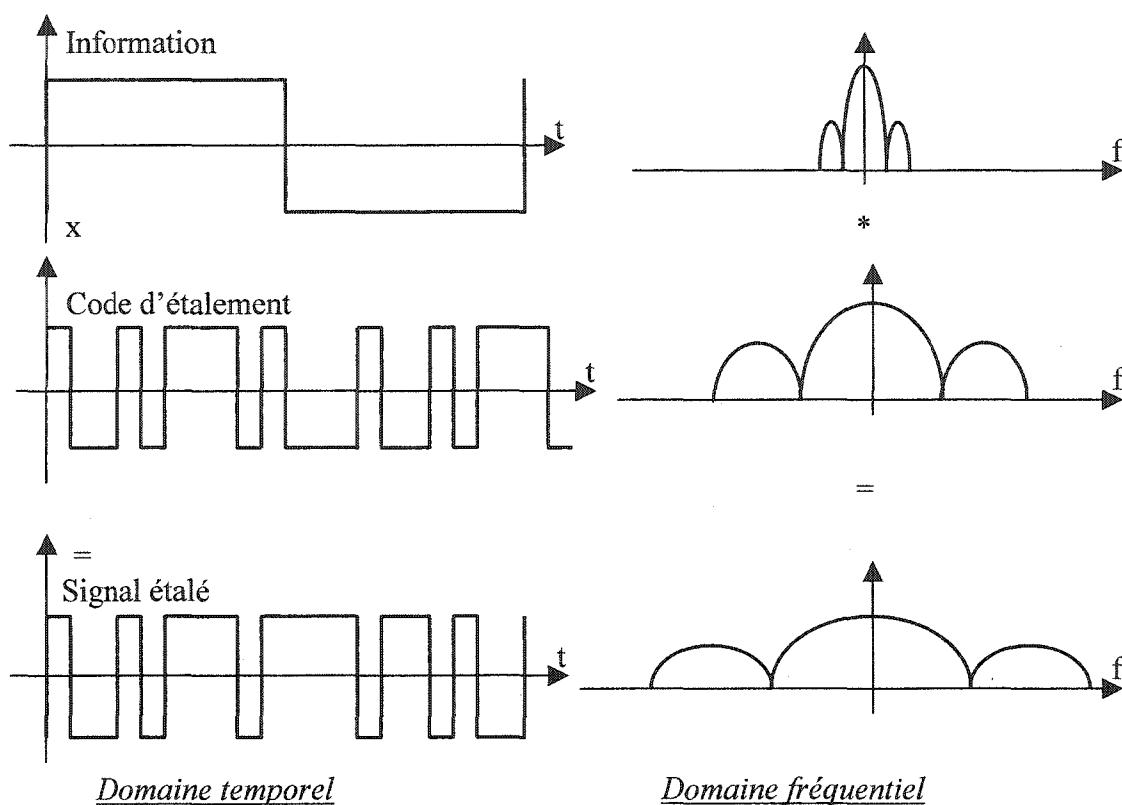


Figure 1 Exemple d'étalement spectral par séquence directe DSSS

1.2 Présentation du GPS

Le système de positionnement GPS est un système de communications basé sur les satellites GPS qui orbitent autour de la terre. Ce système utilise le concept du temps d'arrivée TOA ("Time Of Arrival") avec un parcours à sens unique. Le temps de parcours est calculé par la multiplication de la vitesse de la lumière avec le retard du signal GPS qui voyage du satellite au récepteur [Braasch99]. Le calcul d'une position

tridimensionnelle exige l'utilisation de trois satellites. Un satellite additionnel est nécessaire pour synchroniser à son horloge atomique celle du récepteur [Trimble].

Comme montré à la figure 2, le système GPS utilise 24 satellites qui sont placés sur six plans orbitaux avec quatre satellites dans chaque plan [Kaplan96]. Il a été conçu par le département de la défense des États-Unis afin de fournir des informations précises de positionnement n'importe où dans le monde 24 heures sur 24.

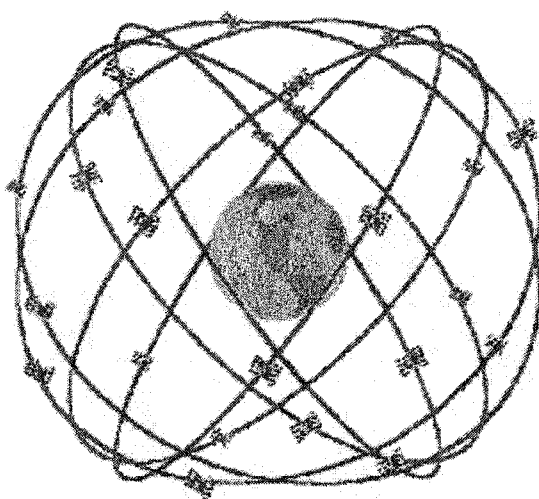


Figure 2 Constellation du système GPS

L'émetteur dans chaque satellite envoie les données de navigation modulées avec un code de Gold spécifique en utilisant la technique d'étalement CDMA.

1.2.1 Séquences de Gold

Les séquences pseudo-aléatoires PRN sont générées à l'aide de registres à décalage LFSR ("Linear Feedback Shift Register"). Selon le choix des coefficients "taps" des LFSR utilisés, les séquences PRN obtenues seront à période maximale MLS ("Maximal Length Sequence"), connues sous le nom de m-séquences [Viterbi95].

Une m-séquence a une période de $N = 2^m - 1$, sachant que m est la longueur du LFSR utilisé. Chaque période d'une m-séquence contient 2^{m-1} chips égales à "1", et $2^{m-1}-1$ égale à "-1".

Les séquences de Gold sont construites par la combinaison de deux m-séquences d'une longueur $N = 2^m - 1$. La famille des séquences contenus dans l'ensemble $G(u,v)$ défini par :

$$G(u,v) \equiv \{u, v, u \oplus v, u \oplus Z \cdot v, u \oplus Z^2 \cdot v, \dots, u \oplus Z^{N-1} \cdot v\} \quad (1.1)$$

est une famille de séquences de Gold [Hamelin97]. Tel que u et v sont deux m-séquences de période $N = 2^m - 1$, Z^q est un opérateur à décalage cyclique de Z vers la gauche, et \oplus est l'opérateur du ou-exclusif.

La figure 3 illustre un exemple de génération d'un code de Gold de longueur $N = 31$ à partir de deux registres LFSR de longueur $m = 5$.

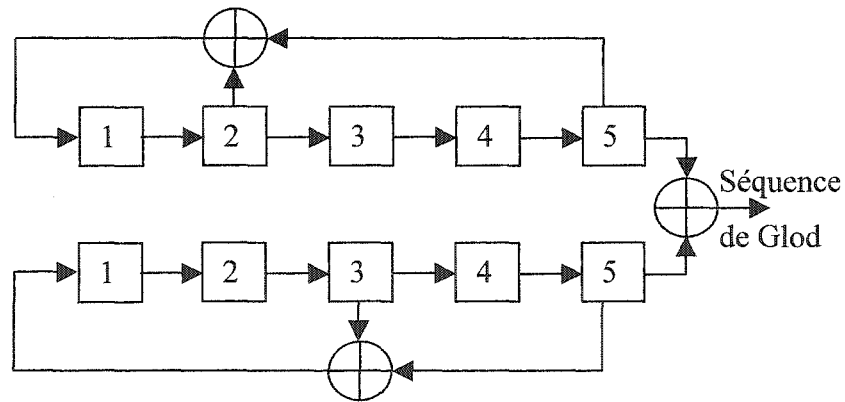


Figure 3 Générateur de code de Gold de longueur $N = 31$

1.2.2 Code C/A

Chaque satellite GPS a un code PRN unique qui est orthogonal aux autres codes des autres satellites. Ce code qui s'appelle le code C/A, appartient à la famille des codes de Gold. Sa période est de $2^{10}-1 = 1023$ chips transmis au rythme d'une séquence par 1 ms. Ce code est utilisé en GPS pour ses propriétés d'auto-corrélation et d'inter-corrélation.

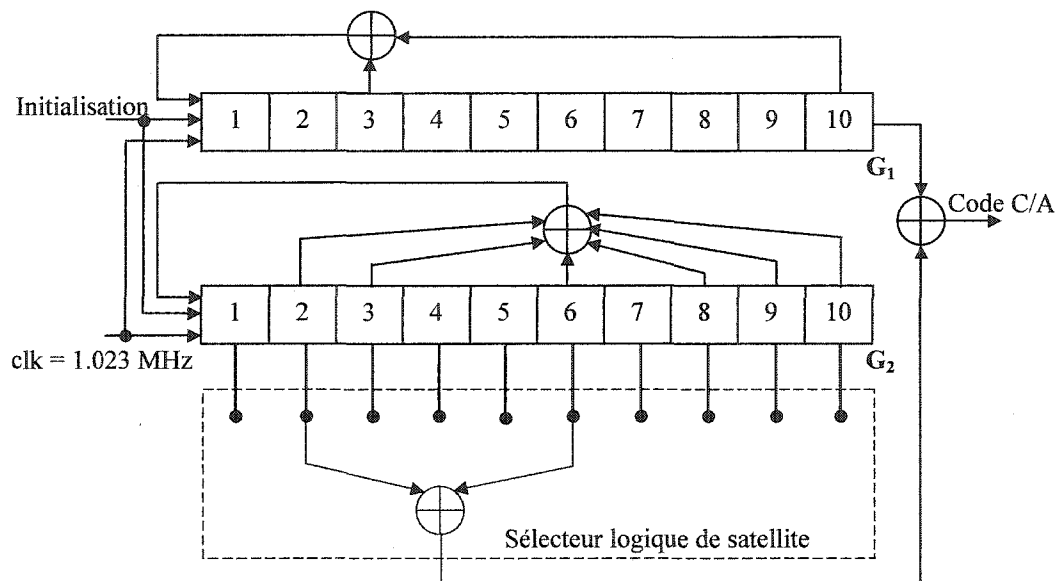


Figure 4 Générateur de code C/A

L'architecture d'un générateur de code C/A est montrée à la figure 4. Deux registres à décalage LFSR G_1 et G_2 génèrent des codes à période maximale MLS de $2^{10}-1 = 1023$ bits. Initialement G_1 et G_2 sont mis à "1", l'état zéro est illégal. Les taps des rétroactions des deux registres G_1 et G_2 sont définis respectivement par les polynômes suivants :

$$\begin{aligned} G_1(X) &= 1 + X^3 + X^{10} \\ G_2(X) &= 1 + X^2 + X^3 + X^6 + X^8 + X^9 + X^{10} \end{aligned} \quad (1.2)$$

Le code C/A d'un satellite spécifique est généré par un ou-exclusif de la sortie du LFSR G_1 , et d'une version retardée de la sortie du LFSR G_2 . Cette version retardée est obtenue comme montrée à la figure 4, en calculant le ou-exclusif de deux niveaux donnés du LFSR G_2 . En d'autres termes, l'ajout d'une version décalée d'un code PRN donné à ce code même, donne le même code mais déphasé [Kaplan96].

La figure 5 illustre le déphasage de 90 degrés existant entre le spectre du code civil C/A et celui du code militaire P modulés avec les données de navigation par la fréquence porteuse L1. Le lobe principal est de la forme d'un sinus cardinal, et il est de largeur de 2.046 MHz pour le code C/A, et de 20.46 MHz pour le code P.

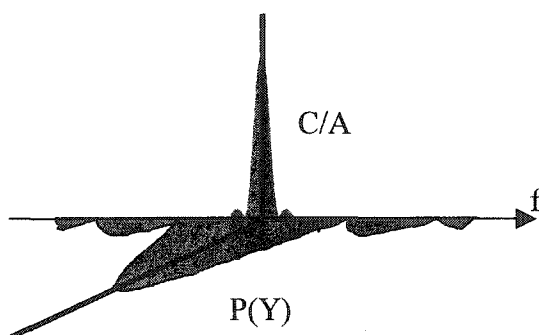


Figure 5 Illustration du déphasage entre les signaux civil et militaire

Les données de navigation sont binaires et ont un débit de 50 bits/s. C'est à dire que chaque donnée contient 20 périodes de code, soit 20 ms. Ces données sont envoyées en utilisant la technique DSSS d'étalement spectral par séquence directe de CDMA. Grâce à sa large bande de fréquence, le signal obtenu jouit d'une grande résistance aux signaux brouilleurs [Broigniez96].

La fonction d'auto-corrélation du code C/A s'écrit :

$$R_{CA}(\tau) = \int_{-\infty}^{+\infty} C_i(t)C_i(t+\tau)dt \quad (1.3)$$

Où C_i est le code C/A du $i^{\text{ème}}$ satellite et τ est une phase de décalage temporel.

Cette fonction d'auto-corrélation normalisée est représentée à la figure 6. Le pic de corrélation est répété à chaque période de code et l'intervalle de corrélation est sur deux chips.

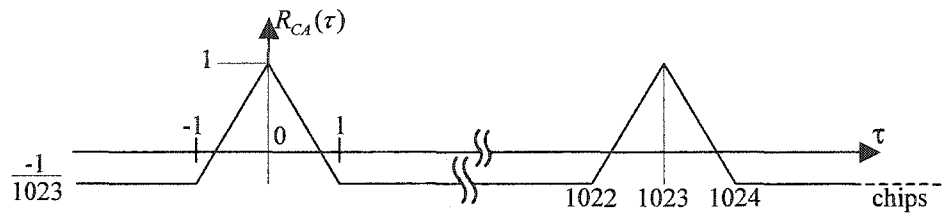


Figure 6 Fonction d'auto-corrélation normalisée du code C/A

Les propriétés de cette fonction d'auto-corrélation sont utilisées pour synchroniser le code généré localement au récepteur avec le code du signal reçu. Il est important que la corrélation croisée entre deux codes C/A quelconques soit minimale, et ce pour n'importe quelle phase Doppler et durant toute la période de code. La corrélation croisée idéale est définie par :

$$R_{ij}(\tau) = \int_{-\infty}^{+\infty} C_i(t)C_j(t+\tau)dt = 0 \quad (1.4)$$

Où C_i est le code C/A du $i^{\text{ème}}$ satellite et C_j est le code C/A du $j^{\text{ème}}$ satellite, avec $i \neq j$.

1.2.3 Structure du signal GPS

Tous les satellites GPS utilisent deux fréquences connues sous le nom de L1 et L2. La composante L1, avec une fréquence porteuse de 1575.42 MHz, est utilisée conjointement pour les services de positionnement civil SPS (Standard) et militaire PPS (Précis). Tandis que L2, dont la porteuse est de 1227.6 MHz, est principalement utilisée pour le service de positionnement militaire [Kaplan96].

Le système GPS a une fréquence de base f_0 de 10.23 MHz à partir de laquelle ses deux fréquences porteuses sont construites :

$$\begin{aligned} L1 \text{ de } 1575.42 \text{ MHz} &= 154 * f_0 \\ L2 \text{ de } 1227.60 \text{ MHz} &= 120 * f_0 \end{aligned} \quad (1.5)$$

La figure 7 illustre les spectres des codes civil et militaire en considérant ces deux fréquences porteuses utilisées en GPS.

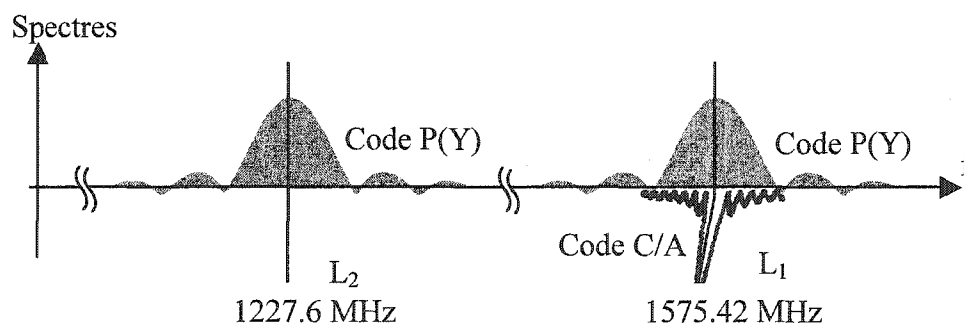


Figure 7 Spectre fréquentiel du signal GPS

Une structure simplifiée du modulateur du signal L1 est montrée à la figure 8. Avant que la modulation BPSK soit appliquée, les valeurs $\{0,1\}$ obtenues par le ou-exclusif sont

transformées en $\{-1,+1\}$. Un modèle simplifié du signal civil GPS-SPS transmis peut s'écrire comme suit :

$$s(t) = A \cdot G(t) \cdot D(t) \cdot \sin[2\pi f_{L1}t + \phi_0] \quad (1.6)$$

Où :

- A : L'amplitude du signal transmis
- $G(t)$: Le code C/A du satellite (1.023 Mbps)
- $D(t)$: Le message de données de navigation (50 bps)
- f_{L1} : La fréquence porteuse d'émission, $f_{L1} = 1575.42$ MHz
- ϕ_0 : La déviation de phase de la porteuse

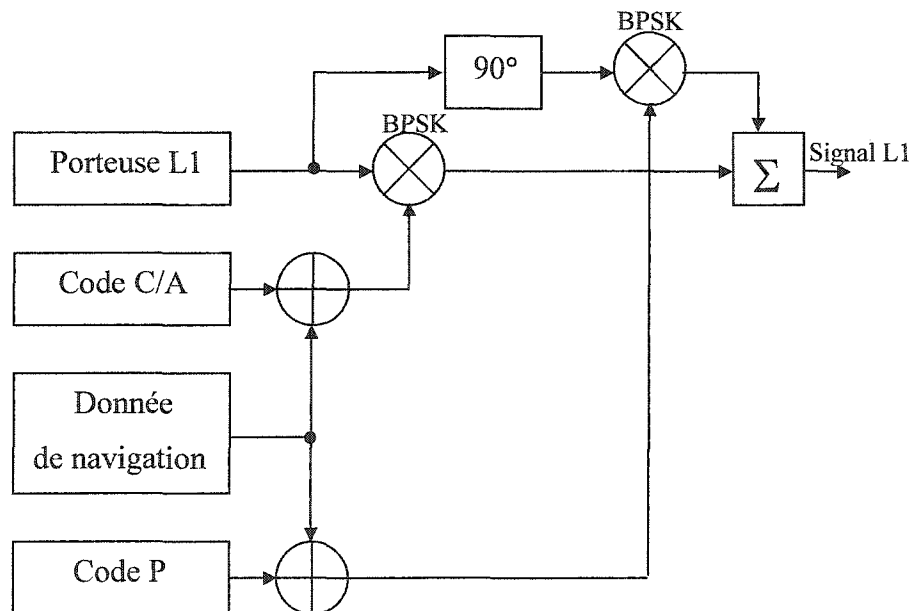


Figure 8 Structure simplifiée du modulateur du signal L1

À cause de l'effet du Doppler et du bruit, le signal reçu est différent. Un modèle simplifié du signal GPS-SPS reçu peut s'exprimer par :

$$r(t) = A \cdot G(t + \tau) \cdot D(t + \tau) \cdot \sin[2\pi(f_{L1} + \Delta f_{SV}) \cdot t + \Delta\phi] + n(t) \quad (1.7)$$

Où :

- τ : Le décalage temporel
- Δf_{SV} : La déviation fréquentielle du satellite due au Doppler
- $\Delta\phi$: La déviation de phase de la porteuse
- $n(t)$: Bruit blanc gaussien

1.3 Traitement du signal GPS

Pour le traitement numérique du signal GPS au niveau de la réception, il faut disposer de ses deux composantes, I en phase et Q en quadrature. Ces composantes peuvent s'exprimer comme suit [Cooper86] :

$$\begin{aligned} I(\tau, \Delta f_{SV}) &= R(\tau) \cdot \sqrt{1 - \sigma^2} \cdot \frac{\sin(\Delta f_{SV} \cdot T/2)}{\Delta f_{SV} \cdot T/2} \cdot \cos(\Delta f_{SV} \cdot T/2 + \Delta\phi) + N_I \\ Q(\tau, \Delta f_{SV}) &= R(\tau) \cdot \sqrt{1 - \sigma^2} \cdot \frac{\sin(\Delta f_{SV} \cdot T/2)}{\Delta f_{SV} \cdot T/2} \cdot \sin(\Delta f_{SV} \cdot T/2 + \Delta\phi) + N_Q \end{aligned} \quad (1.8)$$

Où :

$$R(\tau) = \begin{cases} 1 - |\tau| ; & |\tau| < 1 \\ 0 ; & \text{ailleurs} \end{cases} \quad (1.9)$$

$$\sigma^2 = 1 - \frac{1}{1 + NSR} = \frac{1}{1 + SNR} \quad (1.10)$$

Et :

τ	:	Le décalage temporel
Δf_{SV}	:	La déviation fréquentielle du satellite due au Doppler
$\Delta\phi$:	La déviation de phase de la porteuse
T	:	Le temps d'intégration
N_I, N_Q	:	Bruits blancs gaussiens centrés de variance σ^2
SNR	:	Le rapport signal à bruit ($SNR = 1/NSR$)

On constate alors que pour détecter un satellite à la réception, il faut évaluer le décalage temporel τ et le déphasage de Doppler Δf_{SV} . Tandis que pour la déviation de la phase de la porteuse $\Delta\phi$, elle se voit éliminée en sommant le carré des signaux I et Q.

Dans le cas d'un démarrage à froid à la réception, il faut essayer toutes les combinaisons possibles du retard et du Doppler jusqu'à ce que le niveau du signal en sortie du corrélateur atteigne le seuil de détection du pic de corrélation. Cette opération est réalisée par des algorithmes de recherche bidimensionnels explicités dans le chapitre 2.

1.4 Architecture du récepteur GPS

Afin de présenter les nouvelles techniques du traitement du signal GPS au niveau du récepteur, il est important de présenter l'architecture du récepteur standard séquentiel et de comprendre ses fonctionnalités. Les techniques de traitement à base de DSP, traitent les données à la réception un échantillon à la fois, ce qui est connu par la technique séquentielle d'où le nom du récepteur séquentiel.

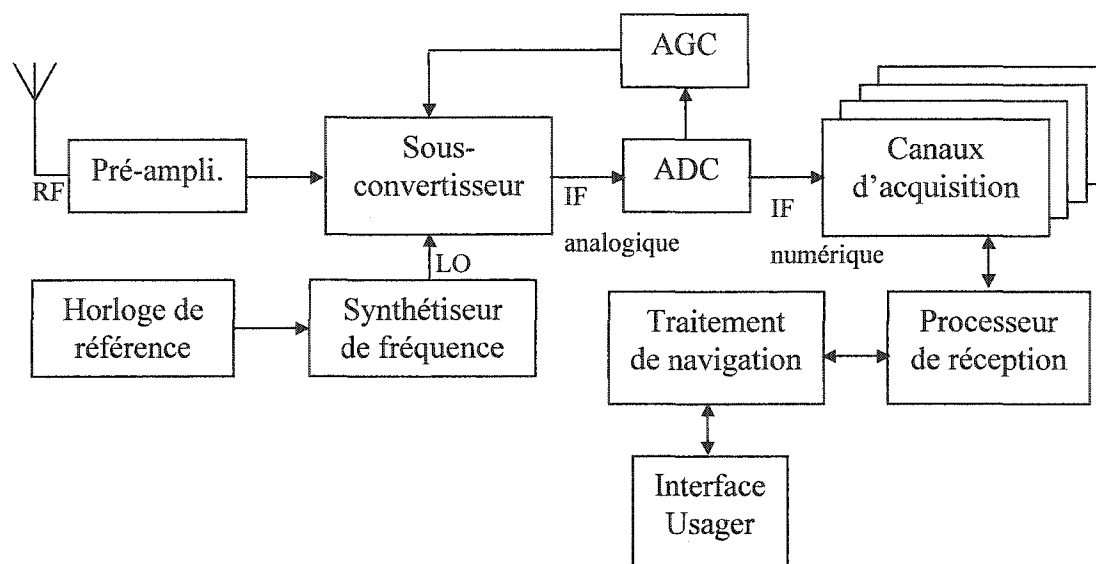


Figure 9 Schéma bloc d'un récepteur générique GPS

La majorité des récepteurs GPS modernes échantillonnent le signal et réalisent les algorithmes de traitement du signal dans le module numérique [Parkinson96].

Dans le récepteur GPS, on peut distinguer trois parties principales, à savoir la section RF, les canaux d'acquisition et les boucles de poursuites. La figure 9 illustre ces trois dernières parties incluses dans le schéma bloc d'un récepteur générique GPS.

1.4.1 Section RF

L'antenne reçoit le signal RF des satellites en vue. Selon le type de l'antenne, celle-ci peut capter uniquement le signal L1 ou les deux signaux L1 et L2 ensembles. Le niveau du signal RF capté est très faible. L'étage de pré-amplification amplifie ce signal sans dégrader sa qualité. La présence de filtres passe-bande à cet étage est nécessaire pour rejeter les interférences RF en dehors de la bande passante [Kaplan96]. Ces filtres peuvent être à large bande recouvrant les fréquences porteuses L1 et L2, ou bien

sélectifs à doubles bandes. Le choix de ces filtres dépend de l'application. Au minimum un filtre non sélectif est nécessaire pour supprimer les fréquences images du signal avant la transposition de fréquence. Le signal RF amplifié et filtré est sous-converti en IF grâce au produit par une sinusoïde pure, appelée oscillateur local LO, générée par un synthétiseur de fréquence qui est piloté par l'horloge de référence. Il est possible d'avoir plus d'un étage de sous conversion. Le signal IF analogique est numérisé par un échantillonnage dont le taux est déterminé selon la bande de fréquence de ce signal. Ce taux varie dans les différents récepteurs selon la façon du filtrage préalable du signal RF. Cependant les taux d'échantillonnage typiques varient entre 4 à 10 MHz. Pour le traitement du lobe principal du code C/A dont la largeur de bande est de 2.046 MHz, le taux d'échantillonnage nécessaire sera d'au moins 4.092 MHz.

La quantification du signal GPS ne prend pas plus de trois bits pour l'échantillonnage. Cependant un seul bit généralement suffit pour les récepteurs commerciaux à faibles coût, tandis que 1.5 bits à 3 bits sont généralement utilisés pour les récepteurs aux applications plus lourdes [Braasch99]. Pour plus d'un bit de quantification, un contrôleur automatique de gain AGC est nécessaire pour optimiser la plage d'entrée du convertisseur ADC. Une numérisation sur un seul bit, qui peut être réalisée par un comparateur de tension, simplifie l'architecture du module RF car le signal est écrêté.

Plus de détails sur l'architecture et l'implémentation d'un étage RF dédié aux applications GPS pourront être consultés dans l'article [Akos96].

1.4.2 Boucles de poursuite

Dans la partie numérique du récepteur GPS, la poursuite est précédée d'une acquisition grossière du signal GPS. Les boucles de poursuites de porteuse et de code raffinent respectivement les mesures de la phase de la porteuse et celle du code, et suivent tout

changement sur celles-ci. Dans le cas de changements significatifs et brusques sur ces valeurs, le processus de poursuite échoue engendrant ce qu'on appelle un décrochage de boucles. Ceci nécessitera une ré-acquisition, soit un démarrage à chaud, afin de réévaluer les déphasages actualisés.

Les boucles de poursuites sont généralement effectuées par un microprocesseur ou dans un DSP, qui contrôle les NCO du code et de la porteuse. La boucle de code est habituellement une boucle de verrouillage de délai DLL, et la boucle de porteuse est soit une boucle de phase PLL ou une boucle à verrouillage de fréquence FLL.

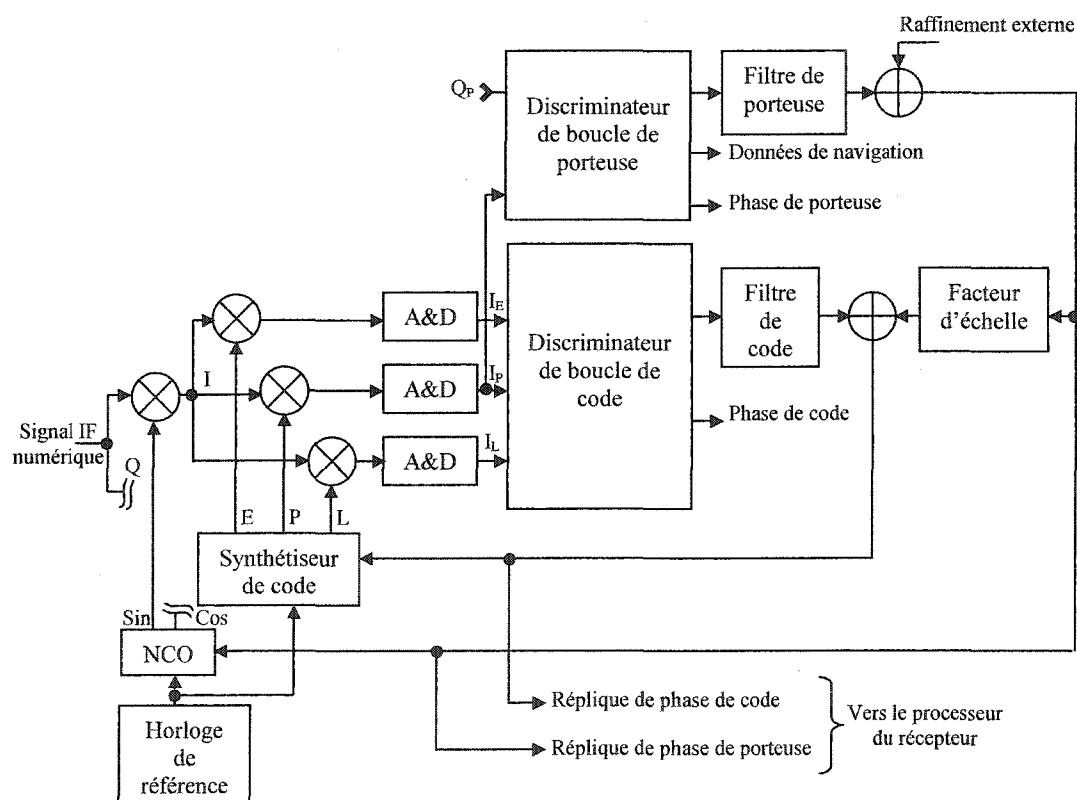


Figure 10 Schéma bloc d'un canal de poursuite générique GPS

La figure 10 illustre un canal de poursuite générique GPS. Les boucles de code et de porteuse schématisées opèrent conjointement de façon à synchroniser la phase du code

et la fréquence porteuse simultanément en réalisant une recherche bidimensionnelle. Ces boucles permettront de désétalement le signal en enlevant la porteuse et le code C/A et d'extraire finalement les données de navigation.

Les deux sous-sections suivantes décrivent les boucles de code et de porteuse respectivement.

1.4.2.1 Boucle du code

Cette boucle de poursuite de la phase du code C/A consiste à comparer la réplique locale du code au signal entrant, et à en déduire une déviation de code, qui une fois filtrée, servira à contrôler le synthétiseur de code. La réplique du code devra être suffisamment précise dans une dimension d'un seul chip du signal entrant. Ceci est vrai car une déviation supérieure à un chip donne une corrélation nulle. Avec l'utilisation du résultat des corrélation, avance E, phase P et retard L, le discriminateur de la boucle de code détermine l'amplitude et la direction de la déviation du code local par rapport au signal entrant. Les répliques de code E et L sont décalées d'une moitié de chip par rapport au code en phase. La sortie du discriminateur qui est une phase de code bruitée, se voit lissée par un filtre ajouté spécialement pour cette fonction. En utilisant cette donnée filtrée, le synthétiseur de code doit avancer ou retarder sa réplique de code pour en arriver à un alignement maximal avec le code entrant. Ce type de boucle de poursuite est connu sous le nom de la boucle DLL.

1.4.2.2 Boucle de la porteuse

Le signal IF numérique est mélangé en quadrature avec la réplique de porteuse pour le convertir en bande de base. Dans la boucle, le signal se verra ramené en bande de base sans suppression du déphasage Doppler Δf . La fonction de la boucle de porteuse est de

maintenir le NCO, le synthétiseur de porteuse, accroché à la fréquence porteuse entrante ($f_{IF} + \Delta f$) de telle sorte que la sortie du mélangeur n'ait aucune composante de porteuse. Cette opération est connue par la suppression de porteuse. Le signal est ensuite corrélé avec la réplique alignée du code C/A local et intégré en utilisant des circuits A&D ("Accumulate-and-Dump"). Ces circuits ont la particularité du comportement passe-bas, ce qui permet de rejeter le terme de fréquence double généré par le mélangeur quadratique. Ainsi, uniquement la valeur de corrélation est extraite. Le discriminateur de boucle de porteuse évalue l'amplitude et la direction de la déviation de fréquence à partir des composantes en phase I et en quadrature Q du signal. Après un filtrage passe-bas, ce décalage fréquentiel, qui est la réplique de déviation de fréquence porteuse Δf , est réalimenté vers le NCO afin de contrôler ce dernier.

Pour les deux architectures de boucles PLL et FLL utilisées pour la poursuite de fréquence, la largeur de bande de boucle est déterminée par le temps d'intégration "dwell Time" T_{DW} et par les caractéristiques du filtre de boucle utilisé.

La technique de lissage ou raffinement externe utilisée, équivaut mathématiquement à l'inclusion du terme de second degré de la série d'approximation. Cette technique fait appel à un système externe au système GPS, à savoir l'unité de mesure inertielle IMU, qui servira à améliorer la précision et la fiabilité de la boucle de poursuite.

La conception des boucles de poursuite est un sujet assez complexe dont l'étude dépasse l'objectif de ce travail. Cependant plus de détails concernant ces boucles de poursuites peuvent être trouvés dans [Kaplan96] et [Parkinson96].

1.4.3 Phase d'acquisition

Le processus d'acquisition est exécuté lorsque le récepteur est mis en marche car les phases de code et de fréquence porteuse ne sont pas initialement connues. L'acquisition servira à en faire une estimation grossière, et ce en effectuant une recherche bidimensionnelle. Aussi, les 24 satellites ne sont pas tous en vue, alors l'acquisition devra chercher les satellites, caractérisés par leurs codes, dont les signaux sont présents à la réception. Le chapitre 2 suivant, présente ce processus en détails.

1.5 Principe de base du corrélateur

Dans un système numérique, chaque signal peut être représenté par une série d'échantillons représentés sous forme de bits. L'intégrale de corrélation devient alors une somme finie. La multiplication est interprétée par un Non-Ou-Exclusif ou un Ou-Exclusif selon la représentation binaire des amplitudes. La fonction de corrélation de base est alors réalisée comme suit:

$$\text{Corrélation} = \sum (D_i \oplus R_i) \quad (1.11)$$

La figure 11 illustre le principe trivial de cette corrélation, et ce à l'aide d'un corrélateur à base de registres à décalage LFSR.

Où:

D_i est le i ème bit de la trame de donnée.

R_i est le i ème bit de la trame de référence.

n est le nombre total de bit.

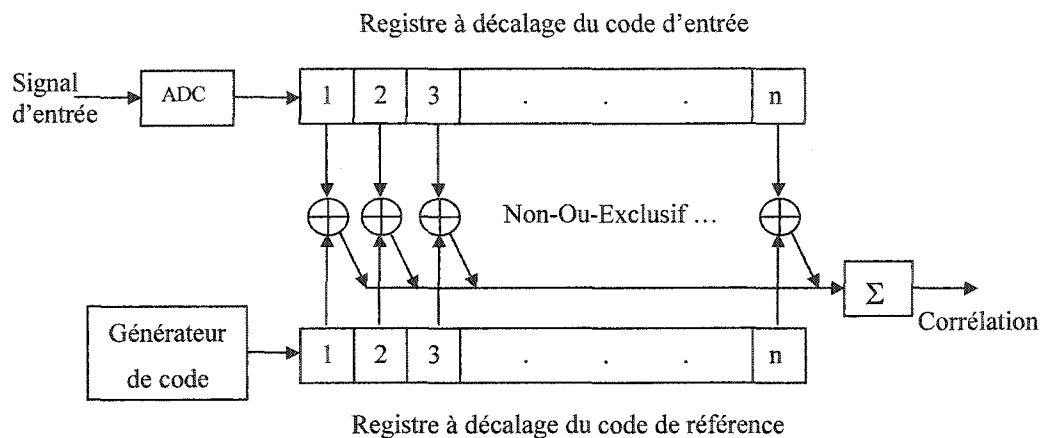


Figure 11 Structure d'un corrélateur à base de registres à décalage

Dans le résultat de corrélation obtenu, l'emplacement du pic de corrélation traduit la déviation de code du signal entrant par rapport à la réplique locale de code. Ce déphasage de code est dû au temps nécessaire pour la réception du signal transmis dès le satellite.

D'autres formes plus complexes de l'architecture du corrélateur GPS seront proposées et étudiées dans les chapitres 3, 5 et 6. Toutefois le chapitre 2 suivant présente les techniques standards utilisées en acquisition, et ce pour une structure conventionnelle du récepteur GPS.

CHAPITRE 2

TECHNIQUES D'ACQUISITION

2.1 Stratégies classiques d'acquisition

L'acquisition du signal GPS peut être identifiée comme étant un processus de recherche bidimensionnel. Il nécessite d'avoir une réplique exacte du code PRN et de la fréquence porteuse du signal du satellite. La distance entre le SV et le récepteur est déterminée par la synchronisation de la phase du code PRN d'entrée avec la phase du code PRN générée localement. Cette période de synchronisation est effectuée en deux étapes : un alignement des codes de façon grossière, puis fine. L'étape primaire d'acquisition permet d'aligner les deux codes à l'intérieur de l'intervalle d'un chip du code d'étalement. Et ensuite l'étape de poursuite du code réduit l'écart des phases à de faibles valeurs. Si au cours du processus de poursuite du code, l'erreur de l'écart des phases dépasse une valeur limite de la boucle de poursuite, un processus de ré-acquisition (démarrage à chaud) est amorcé puis il est suivi par le maintien précis du code.

2.1.1 Région d'incertitude de l'acquisition

Pour le code C/A de porteuse L1 de 1575.42 MHz, le processus d'acquisition inclut la synchronisation initiale de la phase du code et une estimation du décalage de la fréquence. Le décalage de la phase du code local et de l'écart de la fréquence Doppler est effectué par des sauts de valeurs discrètes, réalisés habituellement par un traitement numérique du signal. Cette région d'incertitude qui est constituée de la phase du code d'entrée et de l'écart Doppler, est divisée en des cellules de recherche de deux dimensions, où les références de la phase du code et de la fréquence sont détectées en

désétalement le signal reçu. Si l'estimation de la phase du code et de son décalage Doppler sont près des valeurs réelles, le processus de désétalement sera fonctionnel et le signal pourra être détecté. Par contre, dans le cas d'une mauvaise estimation, le processus de désétalement ne détectera pas le signal à l'entrée.

Le générateur de code local et le NCO seront décalés à une nouvelle valeur du délai de la phase du code et à une nouvelle estimation de l'écart Doppler, qui seront à leur tour évaluées jusqu'à ce qu'une synchronisation du code et de la fréquence Doppler soit obtenue. L'espace de recherche bidimensionnelle d'acquisition d'un SV donné est montré à la figure 12.

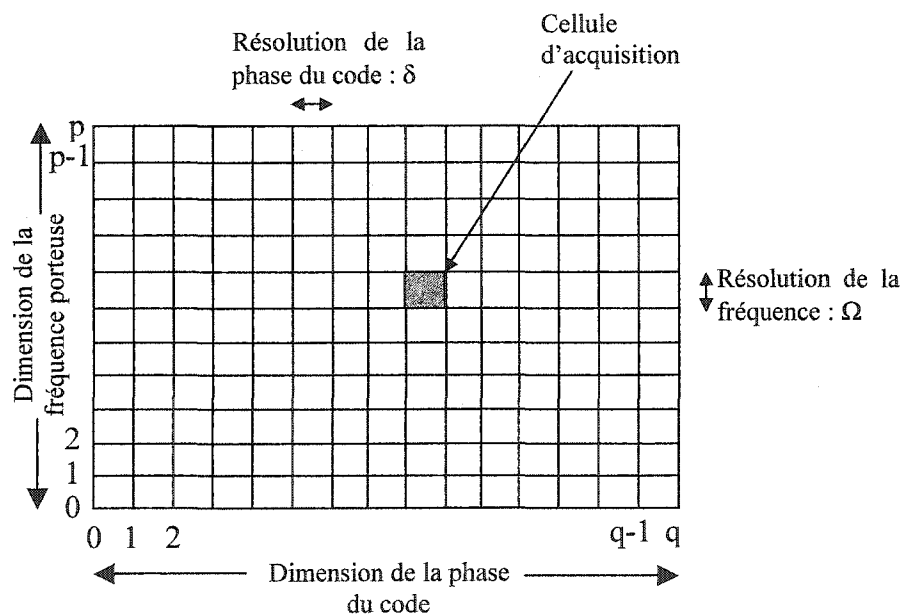


Figure 12 Espace de recherche pour l'acquisition du signal GPS

2.1.2 Algorithmes de recherche

À cause de l'incertitude uniforme de la phase du code C/A sur la période entière du code, il est préférable d'utiliser une méthode de recherche rectiligne du délai de la phase du code comme montré à la Figure 13a. Généralement, cette technique est utilisée dans le cas d'un démarrage à froid. La région d'incertitude est balayée presque entièrement afin de trouver la cellule qui correspond au maximum d'énergie. La recherche est poursuivie à l'intérieur de la cellule selon une direction et la région entière d'incertitude est balayée de cellule en cellule jusqu'à détection du signal.

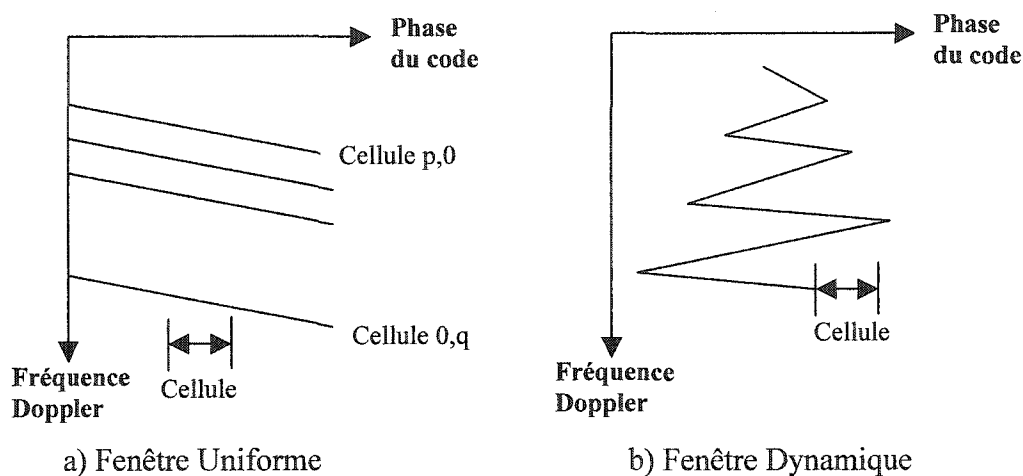


Figure 13 Structure des stratégies de recherche séquentielle d'énergie

La même stratégie est utilisée pour la recherche du décalage Doppler si aucune information de celui-ci n'est disponible, sinon on présume une distribution non uniforme du décalage Doppler à l'intérieur de la région d'incertitude avec une densité de probabilité plus forte près de l'estimation initiale, et une densité de probabilité plus faible aux extrémités de la région d'incertitude. Cette technique est utilisée dans le cas d'un démarrage à chaud où la synchronisation avec le signal reçu vient juste d'être perdue. La recherche est effectuée ici dans une fenêtre s'agrandissant au cours du temps (Figure

13b) en partant de la cellule contenant l'estimation Doppler initiale et en avançant dans les deux directions [Landry98].

Le système d'acquisition pour la technique utilisée lors d'un démarrage à froid, consiste en un corrélateur de code non cohérent, un détecteur numérique d'alignement de phase et un système logique de synchronisation comme montrés à la Figure 14. Le but du corrélateur non cohérent est de désétalement le signal d'entrée avec un code de référence dont la phase a été décalée et en prenant une estimation du décalage Doppler.

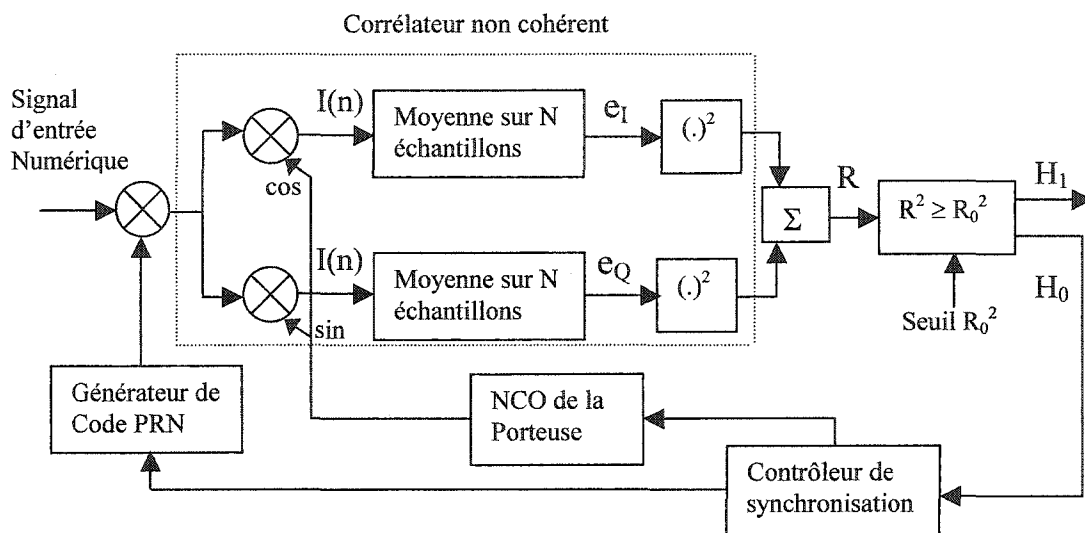


Figure 14 Schéma bloc du système d'acquisition d'un code d'étalement

Le détecteur numérique évalue l'état de succès ou d'échec du processus de désétalement en comparant la sortie du corrélateur avec un seuil prédéfini. Si l'énergie de désétalement est insuffisante, le contrôleur de synchronisation passe à une autre cellule en affectant au générateur de code une nouvelle valeur du délai du code de référence et au NCO local, une nouvelle valeur de la fréquence de référence. Par contre, si l'énergie détectée est suffisante, le contrôleur de synchronisation arrête le processus de décalage dans la région d'incertitude et la synchronisation est atteinte [Landry98].

Une caractéristique importante des récepteurs GPS est leur temps d'acquisition moyen. Une procédure à double évaluation ("Double Dwell") est adoptée permettant une amélioration significative du temps d'acquisition estimé comparativement à une procédure à évaluation simple ("Single Dwell"). L'intervalle d'observation de la synchronisation de la phase du code consiste en deux périodes fixes dont chacune fait l'objet d'une évaluation préalable. La première période consiste en un petit intervalle de temps de la période de corrélation partielle permettant une décision rapide et l'élimination d'une cellule incohérente et de ce fait, réduit le temps moyen de recherche et d'acquisition. Ceci est d'autant plus significatif que le nombre de cellules à évaluer est grand. Si l'alignement de la phase des codes n'est pas détecté à la première période d'analyse, la cellule est rejetée (représenté par l'état H_0) et le processus d'acquisition se poursuit à la cellule suivante. Cette courte période d'analyse peut augmenter la probabilité d'acquisition erronée P_{FA} à cause d'un gain d'étalement faible obtenu sur une courte période de désétalement. Une acquisition erronée signifie que la phase des codes est alignée (représentée par l'état H_1) et que le processus de synchronisation fine de la phase des codes est initié. Le temps de pénalité nécessaire à la boucle de maintien pour indiquer une acquisition erronée et pour réamorcer le processus d'acquisition est une variable aléatoire. Dans le but de réduire le coût du temps d'acquisition provenant de l'acquisition erronée, un mode de vérification utilisant la deuxième période d'évaluation ("Double Dwell") est initié lorsque l'état H_1 est obtenu. Dans cette deuxième période d'évaluation, le corrélateur non cohérent conserve le même délai de la phase du code local et procède au traitement de corrélation avec les mêmes paramètres de décalage mais sur une période d'analyse plus longue comparativement à la première période d'évaluation. Il utilise le même détecteur que celui de la première période d'évaluation à l'exception du fait qu'il effectue séquentiellement plusieurs tests suite auxquels il prend une décision finale. Si une bonne proportion des tests effectués indique l'obtention d'une synchronisation, l'état H_1 est vérifié et la boucle de maintien du code est activée. Autrement, le contrôleur de synchronisation réinitialise les phases pour passer à la

cellule voisine. La Figure 15 montre le schéma bloc de la stratégie d'acquisition d'une recherche à double période utilisée pour le cas d'un démarrage à chaud.

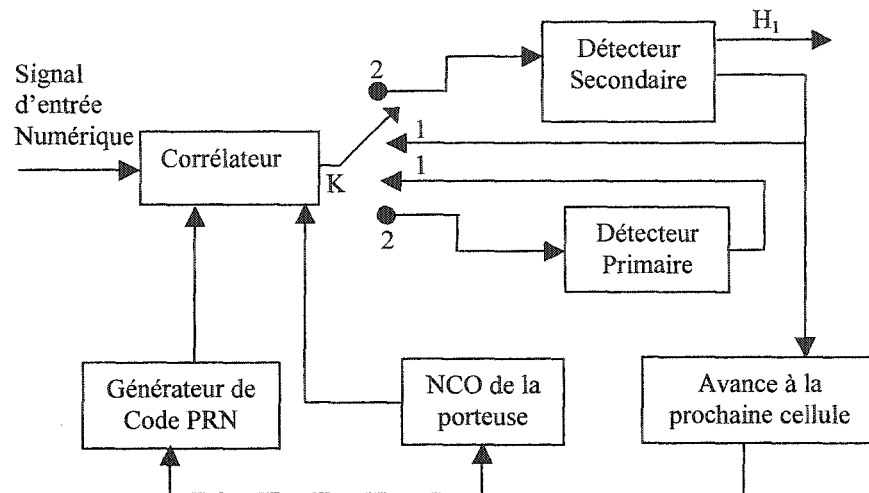


Figure 15 Fonctionnement de la Recherche en Double Périodes

Il faut noter que la stratégie d'une recherche à double périodes est aussi appliquée à l'acquisition des codes P. Pour l'acquisition des canaux L1-P et L2-P, l'estimation initiale du délai de la phase du code est obtenue à l'aide du délai de la phase du code L1-C/A et des informations HOW ("Hand-Over-Word") provenant du message de navigation GPS. Cette estimation peut être précise à quelques chips du code P. À cause de l'information a priori, une recherche sous forme de fenêtre en expansion est utilisée. Le maintien cohérent du code L1-C/A apporte aux canaux P soumis aux décalages Doppler, un domaine d'incertitude en fréquence étroit lors de l'acquisition des canaux P [Landry98].

2.2 Description détaillée du processus d'acquisition

Les récepteurs GPS conventionnels utilisent des méthodes de corrélation afin de déterminer l'écart bidimensionnel.

Un corrélateur classique multiplie le signal reçu par une réplique du code PRN approprié et ensuite intègre ou filtre par un passe-bas pour avoir le signal du pic de corrélation. La détection initiale de la présence de ce pic est connue sous le nom de « processus d'acquisition ».

Les récepteurs séquentiels utilisent le multiplexage temporel afin de dépister un nombre de satellites plus élevé que le nombre de canaux disponibles. De tels récepteurs sont ainsi plus lents dans le procédé d'acquisition. Le temps d'acquisition de moins d'une minute et allant jusqu'à 20 minutes, dépend du nombre de canaux disponibles, d'algorithmes utilisés, et des conditions relatives au rapport signal à bruit [Braasch99].

2.2.1 Architecture d'un module d'acquisition

La figure 16 montre la structure d'un seul canal de corrélation. Pendant l'acquisition du signal, le canal opère en configuration de boucle ouverte. L'algorithme d'acquisition examine les combinaisons successives de la phase de code et de la fréquence porteuse pour en détecter un pic de corrélation donné par $I^2 + Q^2$ (l'énergie de corrélation).

Un deuxième étage d'intégration est utilisé pour sommer les corrélations calculées sur des périodes de codes multiples afin de détecter le signal avec le plus bas rapport signal à bruit.

La valeur du seuil fixée à l'avance pour détecter la présence d'un signal d'un satellite, est calculée selon les probabilités P_{FA} ("False Acquisition") et P_{MD} ("Missed Detection"), requises pour l'application désirée.

Sur la figure 16, les branchements liés au point E "Early" (avance de phase) et L "Late" (retard de phase) sont omis uniquement pour éviter d'alourdir le schéma, cependant leur branchement avec les blocs qui en découlent est identique au point P "Prompt" (phase).

Le décalage du code en avance et en retard dans une dimension de longueur d'un chip, permet de raffiner l'ajustement de la réplique du code avec celui du signal reçu.

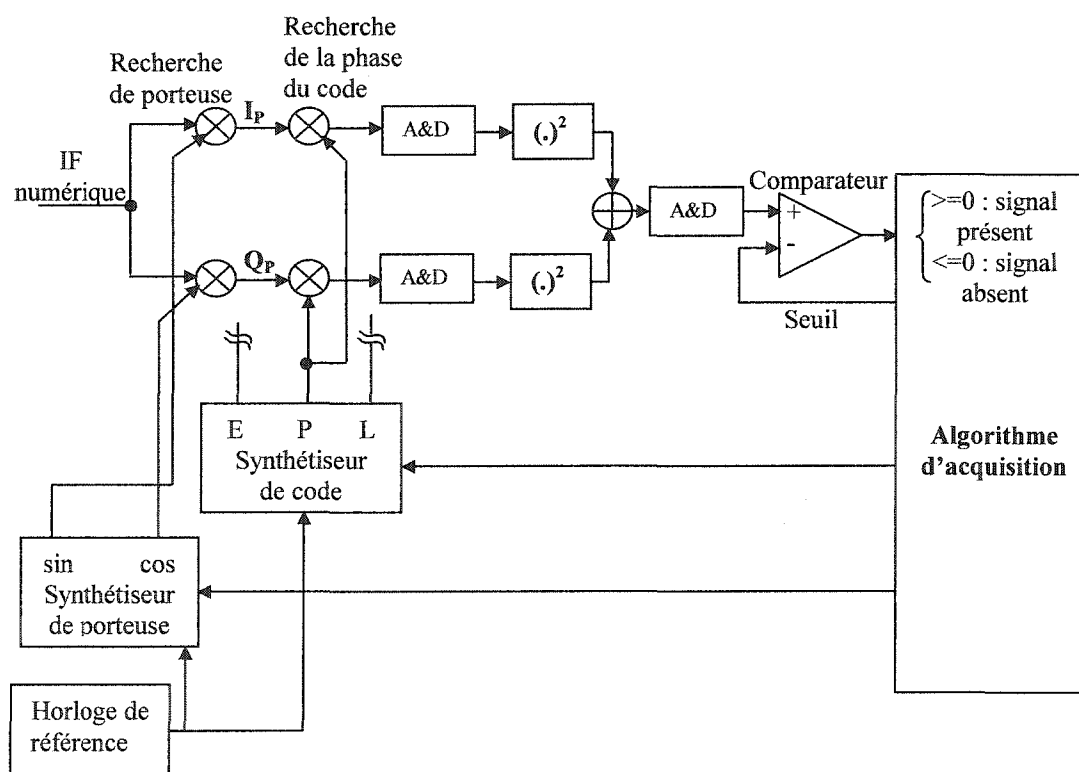


Figure 16 Configuration d'acquisition d'un canal de récepteur GPS

Le récepteur détecte le pic de corrélation en comparant l'amplitude de l'énergie de corrélation avec le seuil T_D . Si celui-ci est fixé trop haut, le récepteur ne pourra détecter les signaux faibles, ce qui induirait l'augmentation de la probabilité d'une détection manquée P_{MD} .

Dans le cas où ce seuil serait fixé bas, la probabilité d'une acquisition erronée P_{FA} se verra augmentée sous l'effet du bruit présent sur le signal.

Le seuil de détection T_D nécessaire peut être calculé en se basant sur la probabilité P_{FA} requise, et sur les distributions statistiques des paramètres du signal et du bruit [Feng99].

Afin de pouvoir distinguer l'amplitude d'un pic de corrélation par rapport à une fausse corrélation due au phénomène du bruit, la marge d'acquisition M_{Aq} est définie par l'équation 2.1 suivante :

$$M_{aq} = 10 \cdot \log \left(\frac{R_P}{R_N} \right) \quad (dB) \quad (2.1)$$

Où :

- R_P : L'amplitude du pic de corrélation
- R_N : L'amplitude du plus grand pic de bruit dans le bloc corrélé pour une probabilité donnée.

Pour pouvoir faire l'acquisition sans erreur, le seuil de détection T_D doit être fixé inférieur au pic de corrélation d'un signal faible, mais aussi supérieur au plus grand pic de bruit.

2.2.2 Processus de recherche

L'acquisition est un processus de recherche bidimensionnel. Ses dimensions sont : le code CDMA PRN du satellite et la fréquence porteuse du signal reçu.

Si le récepteur a les données Almanac lui permettant d'approximer l'orbite du satellite, la recherche d'un SV probable se fait plus rapidement. Si ceci n'est pas possible, le récepteur devra chercher parmi tous les codes PRN des 24 satellites ("Cold Start").

Sans aucune information a priori de la phase du code C/A, la région d'incertitude de la phase du code se résume à la période du code entière, c'est à dire 1023 chip. Cette région est quantifiée par un nombre fini de cellules dont la largeur de la cellule δ correspond à une fraction de la période de chip (T_c), telle T_c/α (où $\alpha=2,4,8,\dots,16$). Cette division du temps de décalage permet d'éviter de manquer la détection du maximum d'énergie de la corrélation et apporte une précision à cette mesure. Le nombre total des cellules q pour l'acquisition du code C/A est alors $1023 \cdot T_c/\delta$.

La Figure 17 montre la région d'incertitude de l'acquisition. La recherche de phase du code C/A par une méthode à base de registres à décalage est présentée à la figure 18.

La région d'incertitude du décalage Doppler (F_d) est le plus souvent de ± 10 KHz. Elle inclue l'effet Doppler entre le satellite et le récepteur qui se déplace et la perturbation de la fréquence due aux divers bruits.

Si les éphémérides du satellite et une estimation sommaire de la position du récepteur sont connus, l'estimation initiale du décalage Doppler peut être calculée. Ce qui réduit significativement la région d'incertitude. Le choix de la largeur de la cellule dans la région d'incertitude des fréquences (Ω) est fonction du temps de corrélation et on obtient finalement le nombre p des cellules fréquentielles ($p = F_d/\Omega$).

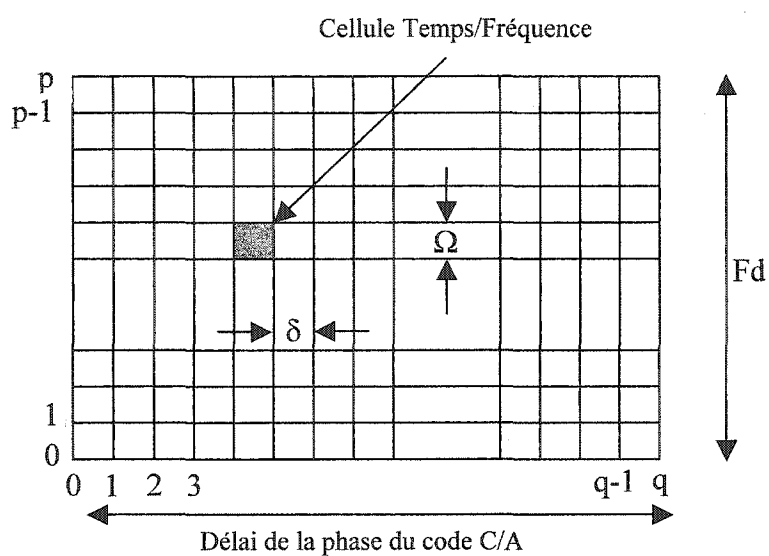


Figure 17 Région d'incertitude de la phase du code et du décalage Doppler

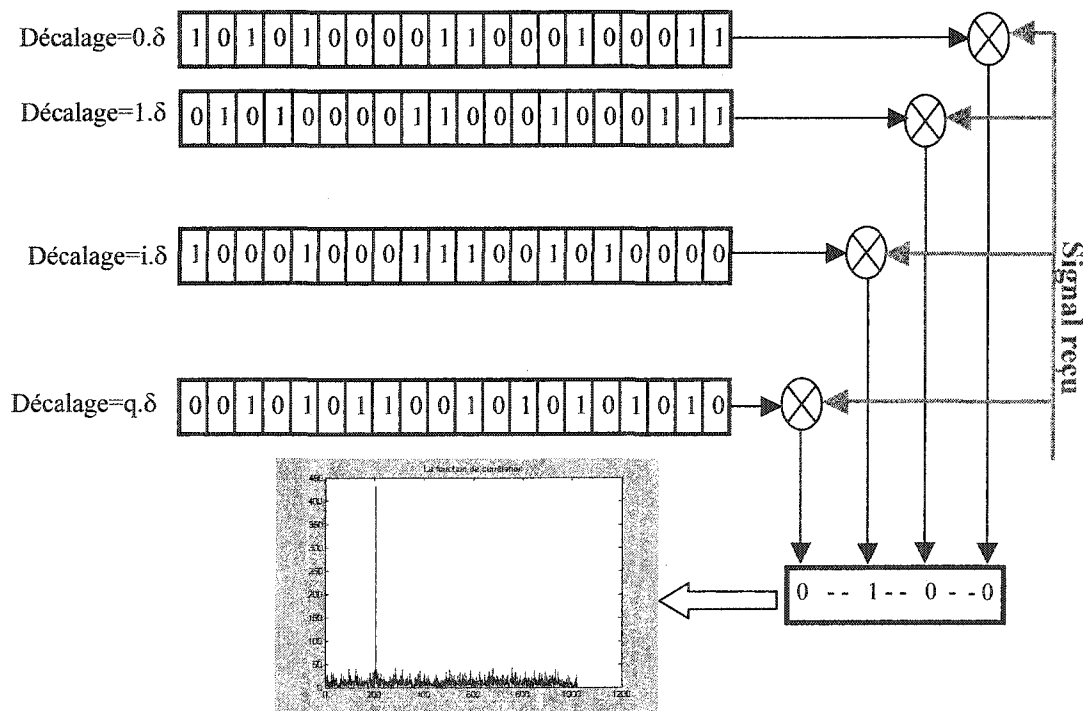


Figure 18 Recherche de phase de code par décalage de la séquence de code

Quand un satellite transmet en L1 (la fréquence porteuse est égale à 1575.42 MHz), le trajet satellite-récepteur étant dynamique cette fréquence est modifiée selon la ligne relative de la vitesse de vue v_r , causant un décalage de fréquence de Doppler Δf_D , donnée par :

$$\Delta f_D = \pm \left(\frac{v_r}{c - v_r} \right) f_0 \quad (2.2)$$

Où :

f_0 est la fréquence de la porteuse.

c est la vitesse de la lumière.

Pour un récepteur stationnaire, la vitesse v_r est moins de 1500 m/s, ce qui correspond à un décalage de fréquence Doppler de ± 8 kHz.

En effet, pour la majorité des applications, Δf_D est moins de ± 10 kHz. Si le récepteur ne peut estimer ce décalage Doppler, il sera alors obligé de faire sa recherche dans l'intervalle [L1-10 kHz ; L1+10 kHz] avec la résolution nécessaire pour la fréquence Doppler.

Pour pouvoir détecter le maximum de corrélation, le code généré au niveau du récepteur doit s'aligner dans la dimension d'un chip qui est exactement 977.5 ns, ainsi la résolution de la phase maximale est d'une moitié de chip, soit 488.75 ns.

Sachant que le code C/A contient 1023 chips en une période, il existe alors un minimum de 2046 plages de recherche dans la dimension de la phase du code.

Le récepteur doit intégrer sur au moins une période entière du code C/A, par conséquent le temps minimal d'évaluation "dwell" d'une corrélation est de 1 ms pour un haut rapport signal à bruit. Cependant, une période d'évaluation "dwell" plus longue devra être utilisée au cours d'un démarrage d'acquisition à froid "Cold Start". De même, les signaux faibles nécessitent une période d'évaluation "dwell" par cellule plus longue.

La résolution du Doppler doit être suffisamment bonne pour s'intercepter dans le lobe principal du sinc^2 de la fonction de corrélation, dont la largeur dépend du temps "dwell". La résolution de la plage de Doppler peut être estimée par $2/3 T_{\text{DW}}$, où T_{DW} est le temps "dwell" par cellule. Le temps minimal "dwell" de 1 ms donne une résolution en fréquence Doppler de 667 Hz. Pour l'acquisition de faibles signaux, le temps "dwell" par cellule T_{DW} peut se prolonger à 20 ms, nécessitant ainsi une résolution en fréquence Doppler de 33 Hz [Kaplan96].

À titre d'exemple, dans le cas d'un démarrage d'acquisition à froid, si un récepteur effectue sa recherche dans l'intervalle $[L1-10 \text{ kHz} ; L1+10 \text{ kHz}]$ avec une résolution de 1 kHz, il devra alors essayer 21 combinaisons en dimension de fréquence porteuse. Étant donné la nécessité minimale de 2046 plages de recherche dans la dimension de la phase du code pour une résolution d'une moitié de chip, l'espace total de recherche dans le cas d'un démarrage à froid sera alors :

$$2(1023) \times \left(2 \left(\frac{10 \text{ kHz}}{1 \text{ kHz}} \right) + 1 \right) = (2046) \times (21) \approx 40000 \text{ cellules d'acquisition.} \quad (2.3)$$

Donc en supposant un temps "dwell" de 1 ms, le temps total de recherche prendra au pire cas 40 secondes.

Finalement, notons que les techniques d'acquisition présentées dans ce chapitre, sont des techniques basées sur le traitement séquentiel connues dans la littérature sous le nom de

“stream processing”. Parmi les inconvénients de ce traitement conventionnel, le temps d’acquisition relativement long et l’obligation de ré-acquisition du signal après un décrochage de boucle.

À cause de ces imperfections, cette méthode de traitement n’est pas une solution optimale dans les cas d’atténuations sévères du signal GPS, ou lorsque ce dernier est sujet à une haute vitesse dynamique, à des problèmes de réflexions par trajets multiples ou à des interférences dues au blocage involontaire, “unintentional jamming”.

Ainsi, une technique de traitement alternative sera présentée au chapitre 3 suivant.

CHAPITRE 3

TECHNIQUE DE TRAITEMENT PAR BLOCS

3.1 Présentation de la technique

La technique de traitement par blocs, connue sous le nom de “block processing”, est utilisée habituellement en traitement d’image. Elle permet d’obtenir de meilleures performances dans les conditions difficiles [Moeglein98].

Un arrangement de “block processing” commence par emmagasiner les échantillons en blocs à leur arrivée. Après l’accumulation d’un nombre suffisant de ces échantillons, le traitement de ces blocs est amorcé. L’accès aux différents échantillons peut se faire aléatoirement et non pas séquentiellement puisque ces derniers sont disponibles simultanément. La figure 19 illustre un exemple de blocs de cinq échantillons, qui sont stockés dès leur arrivée. Quand le cinquième échantillon du bloc i arrive, le traitement de ce bloc commence. À ce point, deux activités sont réalisées en même temps : le traitement du bloc i , la saisie et le stockage du bloc $i+1$.

Le traitement par blocs peut être utilisé lorsque le taux d’échantillonnage de l’entrée est beaucoup plus grand que celui de la sortie [Ackenhusen99].

Pour un récepteur GPS, le traitement est effectué dans un bloc de données numériques IF pour obtenir la déviation de la phase du code et le déplacement Doppler de chaque satellite reçu. Un bloc doit contenir au moins une période entière de code PRN, à savoir plusieurs milliers d’échantillons, et la sortie est de seulement deux valeurs par satellite, soient la phase du code et la phase de la porteuse.

De cette façon, la condition pour l'utilisation de cette technique de traitement est vérifiée, soit le taux d'échantillonnage de l'entrée est plus grand que celui de la sortie.

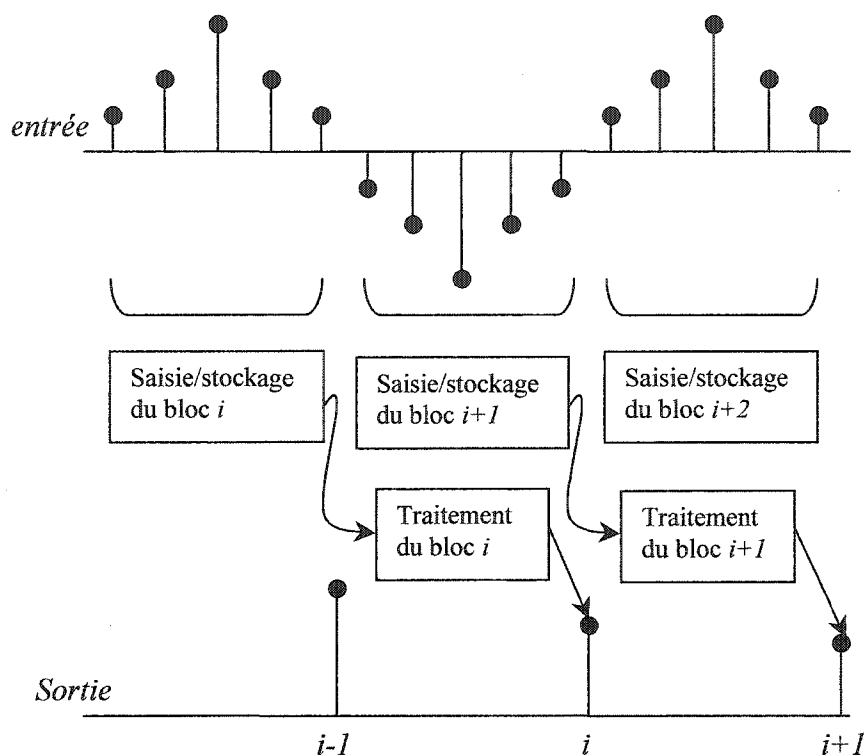


Figure 19 Illustration du traitement par blocs pour cinq échantillons / bloc

3.2 Système de collecte de données GPS

Un étage RF sophistiqué permettant la collecte de données GPS a été présenté dans l'article [Feng99]. Ce système est conçu spécialement pour le signal GPS-SPS civil.

Le signal RF est échantillonné à un taux de 5 millions d'échantillons par seconde permettant de préserver toute information pertinente dans le signal. Ainsi, si une anomalie survient lors de la réception et le traitement du signal, les données abondantes

autour de cet événement anormal faciliteront le rétablissement rapide de la synchronisation du récepteur. L'utilisation de ce système jumelé avec la technique de traitement par blocs, permet d'accroître la robustesse du récepteur GPS. Le schéma de cette tête RF est montré à la figure 20. Ce système RF comporte une antenne, des filtres passe-bas, des amplificateurs à faibles bruits, un mélangeur à un oscillateur local et un convertisseur analogique numérique, ADC, permettant de numériser le signal en des blocs de longueur de 1 ms et ayant 5000 échantillons chacun.

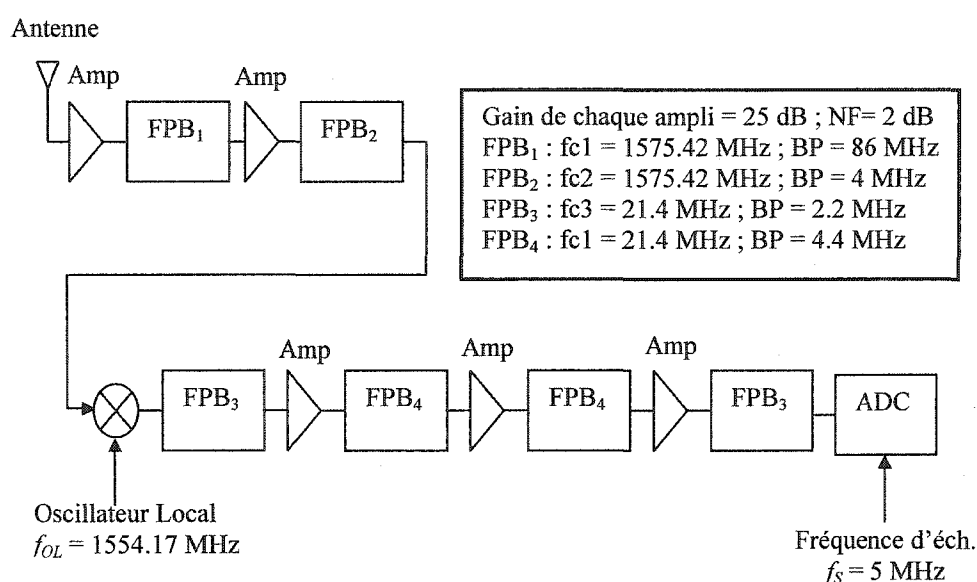


Figure 20 Système de collecte de données GPS-SPS

Le signal GPS est collecté par l'antenne. Un préamplificateur de 30 dB précède le premier filtre dont la fréquence centrale est égale à la fréquence porteuse L1 de 1575.42 MHz, et dont la largeur de bande à 3 dB est de 86 MHz. Le signal est encore amplifié et filtré avant d'être mélangé à un oscillateur local à 1554.17 MHz, réalisant ainsi une sous conversion à une fréquence intermédiaire IF de 21.25 MHz. Ensuite, le signal IF résultant est filtré afin de rejeter le terme de double fréquence obtenu après la sous conversion. La fréquence centrale de ce dernier filtre est de 21.4 MHz et sa largeur de bande à 3 dB est de 2.25 MHz. Après trois étages d'amplifications et filtrages, le

signal analogique IF de 21.25 MHz est numérisé par un ADC à un taux de 5 MHz, produisant ainsi un signal IF numérique de fréquence centrale f_{IF} de 1.25 MHz.

3.3 Structure du signal

Le modèle standard du signal numérique IF GPS-SPS échantillonné, pour un bloc de traitement i est comme suit :

$$s_{i,k} = A_i G_{k,\tau_i} D_{i,\tau_i} \sin[2\pi(f_{IF} + \Delta f_i)T_S (m_i + k) + \phi_i] + n_{i,k} \quad (3.1)$$

Où :

i	:	Indice de bloc, $i^{\text{ème}}$ bloc ($i = 1, 2, 3, \dots$)
k	:	$k^{\text{ème}}$ échantillon commençant par le $i^{\text{ème}}$ bloc ($k = 1, 2, \dots, M$)
m_i	:	Le nombre total d'échantillons avant le $i^{\text{ème}}$ bloc $m_i = (i-1).M$
M	:	Le nombre d'échantillons par bloc i
τ_i	:	Le retard dû à la transmission du signal pour le bloc i
A_i	:	L'amplitude du signal pour le bloc i
G_{k,τ_i}	:	Le code C/A retardé en temps et échantillonné
D_{k,τ_i}	:	Le signe du bit de donnée de navigation pour le bloc i
f_{IF}	:	La fréquence centrale du signal IF numérique, ($f_{IF} = 1.25$ MHz)
T_S	:	La période d'échantillonnage ($1/f_S$), ($T_S = 0.2$ μ s)
ϕ_i	:	La déviation de phase pour le bloc i
$n_{i,k}$:	Le bruit échantillonné

Et la déviation de fréquence totale pour le bloc i , Δf_i est :

$$\Delta f_i = \Delta f_{SV,i} + \Delta f_{D,i} + \Delta f_{LO,i} + \Delta f_{S,I} \quad (3.2)$$

Où:

- $\Delta f_{SV,i}$: La déviation de fréquence du satellite pour le bloc i
- $\Delta f_{D,i}$: La déviation de fréquence de Doppler pour le bloc i (équation 2.2)
- $\Delta f_{LO,i}$: La déviation de fréquence de l'oscillateur local pour le bloc i
- $\Delta f_{S,i}$: L'erreur d'échantillonnage due à l'horloge pour le bloc i

Sachant que la donnée échantillonnée doit contenir au moins une période entière de code C/A de 1 ms, et que l'on a choisi une fréquence d'échantillonnage de 5 MHz, chaque bloc doit alors contenir $M=5000$ échantillons.

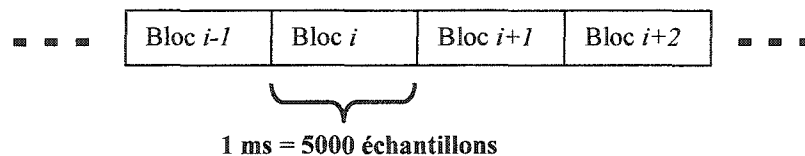


Figure 21 Traitement par blocs

La phase du code, la phase de la fréquence porteuse et le rapport signal à bruit sont tous estimés en utilisant un bloc de 1 ms de données échantillonnées (figure 21).

3.4 Corrélateur GPS rapide à base de FFT

L'utilisation de FFT dans le processus de corrélation avec la technique de traitement par blocs, permet d'accélérer le processus de recherche en acquisition. Dans le cas d'un démarrage à froid, l'acquisition du code C/A peut s'effectuer en moins d'une seconde, et ce dans une plage de déphasage Doppler Δf_D de ± 5 kHz [Coenen92].

Avec une technique de traitement par blocs, la donnée $s_{i,k}$ et la réplique de code C/A générée localement $G_{i,k}$ (équation 3.1), sont des séquences d'une longueur finie, alors leur corrélation peut être effectuée par une opération de convolution circulaire. Cette dernière peut être obtenue en calculant le produit des transformées de Fourier discrètes *DFT* des deux séquences comme suit :

$$x_1[n] * x_2[n] \xleftrightarrow{DFT} X_1[k] \cdot X_2[k] \quad (3.3)$$

Où la convolution circulaire est symbolisée ici par *.

La corrélation est équivalente à la convolution quand une séquence est inversée en temps. Ainsi, puisque le conjugué complexe de la transformée de Fourier est la transformée de cette séquence inversée, le résultat suivant est obtenu :

$$x_1[n] * x_2[-n] \xleftrightarrow{DFT} X_1[k] \cdot X_2[k]^* \quad (3.4)$$

La corrélation peut donc être effectuée dans le domaine fréquentiel comme suit :

$$x_1[n] * x_2[-n] \equiv IDFT\{DFT\{x_1[n]\} \cdot DFT^*\{x_2[n]\}\} \quad (3.5)$$

Où *IDFT*, est la transformée de Fourier inverse.

Ainsi la corrélation R_i du signal d'entrée du $i^{\text{ème}}$ bloc s_i (équation 3.1), avec la réplique de code C/A sur-échantillonnée G_i peut être écrite dans le domaine fréquentiel comme suit :

$$R_i \equiv IDFT\{DFT\{s_{i,k}\} \cdot DFT^*\{G_{i,k}\}\} \quad (3.6)$$

En pratique, la transformée de Fourier rapide (FFT) est utilisée pour calculer la DFT.

L'article [VanNee91] a été une des premières publications ayant documenté cette technique de corrélation rapide appliquée au signal GPS.

Le diagramme bloc de la figure 22 illustre le corrélateur rapide qui traduit en quelques sortes l'équation 3.6.

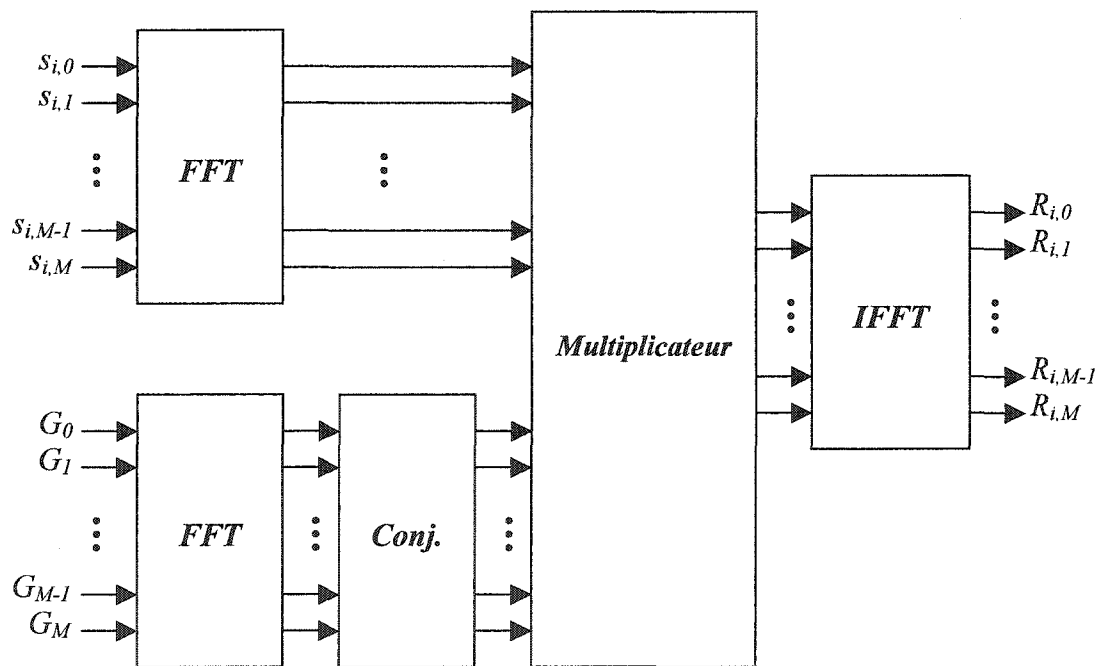


Figure 22 Schéma bloc d'un corrélateur GPS rapide

3.5 Architecture du récepteur GPS rapide

Le récepteur GPS rapide est celui qui, comme son nom l'indique, utilise cette technique faisant appel au corrélateur à base de FFT permettant de faire les calculs du processus de recherche en acquisition dans le domaine fréquentiel. Ce dernier jouit d'une rapidité remarquable par rapport à ceux fonctionnant dans le domaine temporel tel que le récepteur séquentiel standard avec ses boucles de poursuites.

La figure 23 schématise le système d'acquisition du signal GPS, utilisant un corrélateur rapide.

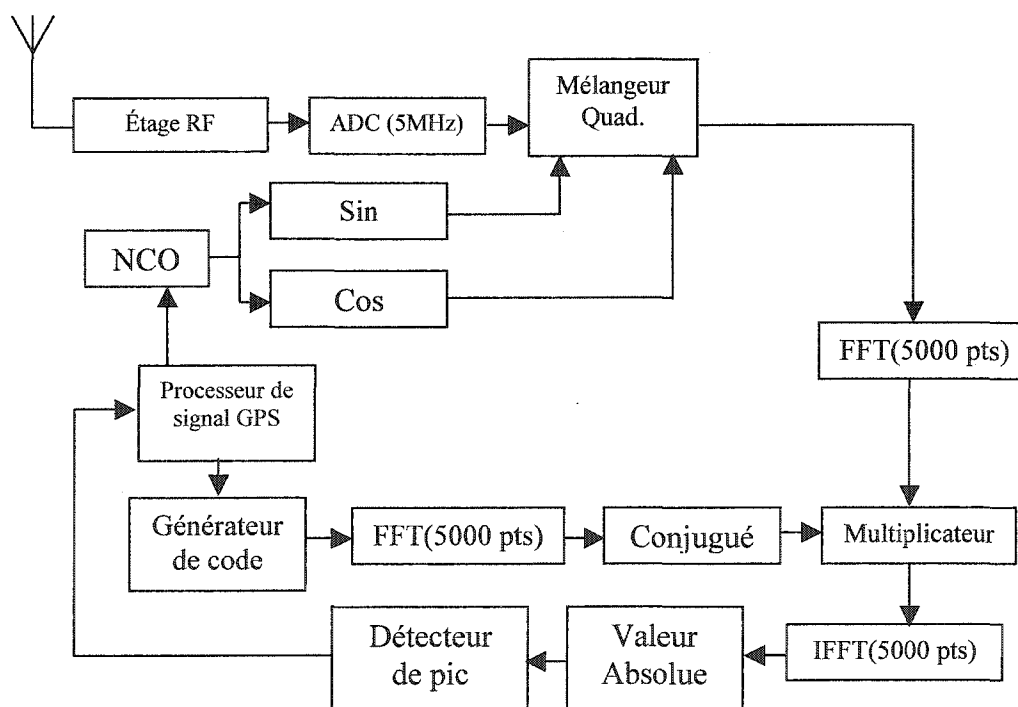


Figure 23 Schéma bloc du système d'acquisition GPS

Bien entendu, l'étage RF suivi du convertisseur ADC représente le système de collecte de données GPS déjà présenté.

Le signal IF numérique obtenu est mélangé quadratiquement avant d'être transformé dans le domaine fréquentiel par une transformée rapide de Fourier FFT de 5000 points. Ce signal est multiplié par la conjuguée de la transformée de Fourier de la réplique du code sur-échantillonnée à 5000. Il est important de souligner ici la possibilité d'éviter cette dernière FFT en stockant d'avance dans une mémoire les résultats des transformées de Fourier des codes C/A des satellites. Après la multiplication dans le domaine fréquentiel, le signal est ramené au domaine temporel par une IFFT afin d'évaluer le pic de corrélation et détecter son emplacement. La figure 24 montre la fonction de corrélation obtenue lors d'une simulation de ce système d'acquisition avec un décalage de 1000 échantillons entre le code du signal d'entrée et la réplique du code local.

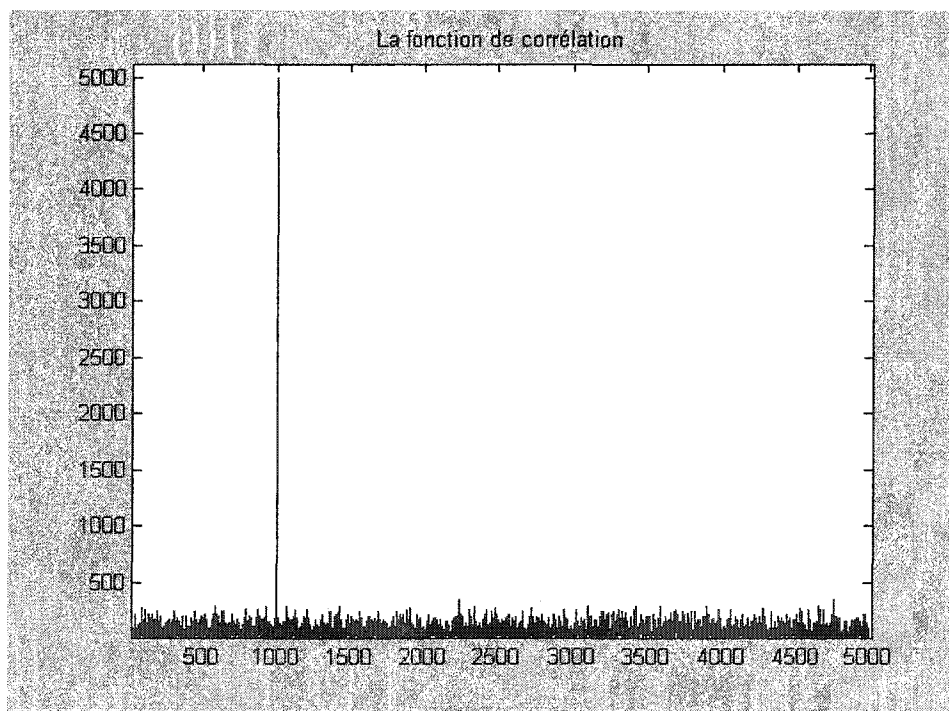


Figure 24 Résultat de corrélation rapide d'un signal GPS

Un agrandissement de cette dernière figure permet de visualiser la forme triangulaire du pic de corrélation obtenu (voir figure 25). Aussi par cette courbe triangulaire, on observe que le triangle représentant le pic de corrélation est d'une largeur de 4 échantillons et est symétrique autour de l'échantillon 1002 de telle sorte que sa montée commence à l'échantillon 1000 qui traduit exactement le décalage initial entre les deux séquences du code C/A corrélées.

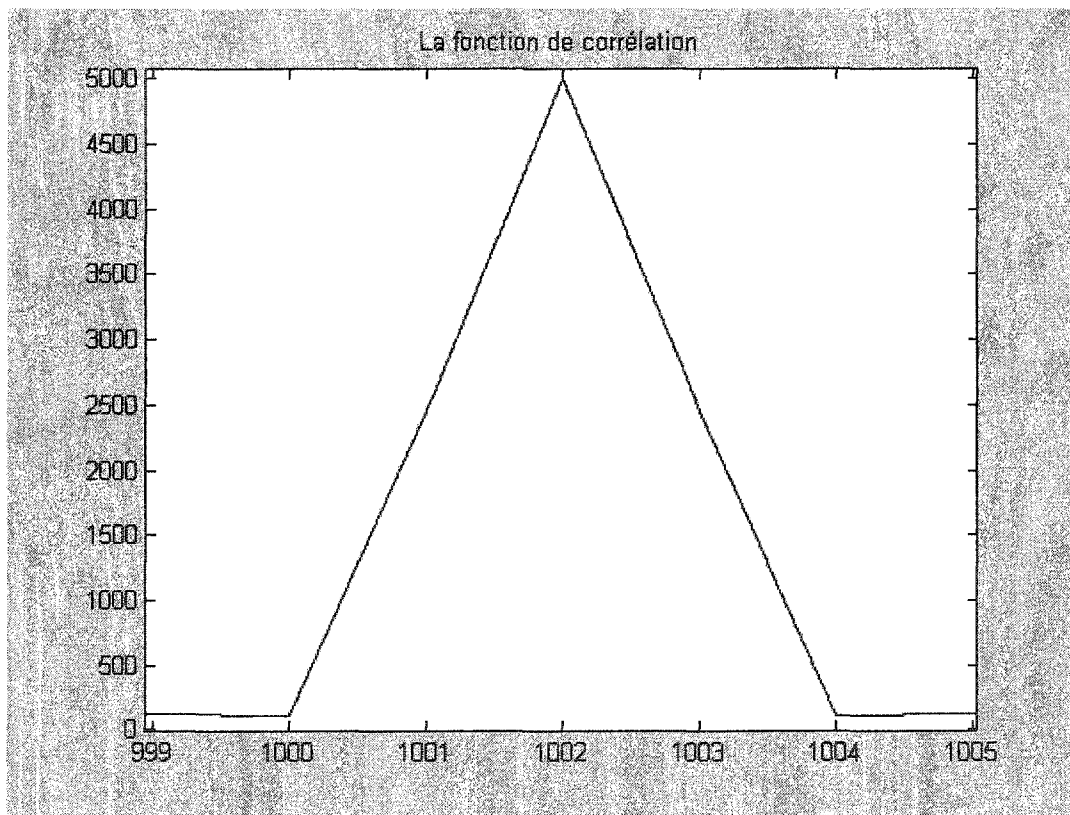


Figure 25 Forme triangulaire du pic de corrélation

Les différentes applications d'algorithmes du système d'acquisition faisant appel au traitement par blocs à base de FFT, ont été simulées et testées sous forme logicielle comme décrit dans [Feng99] et [Moeglein98].

Cependant, le grand nombre d'opérations nécessaires pour l'utilisation de ces algorithmes dans un récepteur GPS, a rendu leur implémentation en temps réel difficilement réalisable. L'obstacle principal pour cette implémentation, fut certainement les transformées de Fourier coûteuses FFT/IFFT de 5000 points que nécessite le corrélateur GPS rapide.

Le chapitre 4 suivant, présente une transformée candidate pour substituer la FFT, à savoir la transformée de Walsh. Cette dernière est très connue pour les applications CDMA, mais pas jusqu'à présent pour des applications GPS.

CHAPITRE 4

UTILISATION DE LA TRANSFORMÉE DE WALSH

4.1 Séquences PN et transformée de Walsh

La transformée de Walsh est une matrice binaire orthogonale. Ses éléments contiennent des uns et des zéros, qui sont respectivement en vraie représentation des nombres “-1” et “+1” [Zehavi95]. Ceci signifie que les opérations exigées sont des additions et des soustractions. La transformée de Hadamard est une transformée de Walsh dont la matrice peut s’écrire :

$$H_n = \begin{bmatrix} H_{\frac{n}{2}} & H_{\frac{n}{2}} \\ H_{\frac{n}{2}} & H_{-\frac{n}{2}} \end{bmatrix} \quad (4.1)$$

Pour n=8, la matrice de Walsh Hadamard est :

$$H_8 = \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 \\ 1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 \\ 1 & 1 & -1 & -1 & -1 & 1 & 1 & 1 \\ 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 \end{bmatrix} \quad (4.2)$$

La fonction de Walsh peut être transformée en un ensemble de différents décalage de phase d’une séquence PN unique en utilisant des permutations appropriées [Cohn77] [Lempel79]. Dans notre cas, si elle pouvait être adaptée aux séquences de Gold, l’intérêt serait grand. Ceci peut être accompli si la première ligne et la première colonne d’une

matrice de Walsh sont omises. Une réorganisation des lignes et des colonnes restantes utilisant une méthode spécifique de permutation produira une matrice différente. Cette dernière a un code PN dans la première ligne dont toutes les copies décalées induisent les autres lignes restantes [Budisin89]. Ceci est une propriété importante puisque tous les décalages du code PN sont disponibles dans une même matrice.

Si un signal reçu contient ce code PN, alors la multiplication de celui-ci par la matrice de Walsh permettra d'avoir une valeur remarquablement grande dans le vecteur résultant, et ce lorsque le signal est multiplié avec une des copies décalées de son code PN se trouvant dans une des lignes de la matrice. Ceci signifie que la transformée de Walsh peut être employée pour implémenter une convolution avec une séquence PN [Budisin89].

4.2 Algorithme de convolution

L'algorithme de convolution proposé nécessite deux étapes additionnelles à la transformée de Walsh afin de pouvoir utiliser cette dernière. Le procédé complet, qui inclut ces deux étapes, est comme suit:

- La séquence d'entrée doit être permutée pour simuler la réorganisation des lignes.
- La fonction de Walsh WT est appliquée (multiplication par la matrice de Walsh).
- Les résultats doivent être permutés à nouveau afin de réorganiser correctement les valeurs de convolution à leurs positions originales.

Les deux étapes des processus de permutation exigent deux vecteurs de permutation différents, à savoir S et C [Budisin89].

Pour illustrer cet algorithme, un exemple de code PN d'une période de 7 bits est montré à la figure 26. Le code PN est généré en utilisant un registre à décalage LFSR de 3 bits avec une rétroaction linéaire. Une matrice de Walsh de 8 points est utilisée pour le code PN de longueur de 7 bits. Après avoir omis la première ligne et la première colonne de la matrice, la transformée de Walsh en devient une de 7 points. Comme montré à la figure 26, pour le code PN (1001110), la permutation d'entrée S est générée en lisant le contenu des bits du LFSR à chaque coup d'horloge.

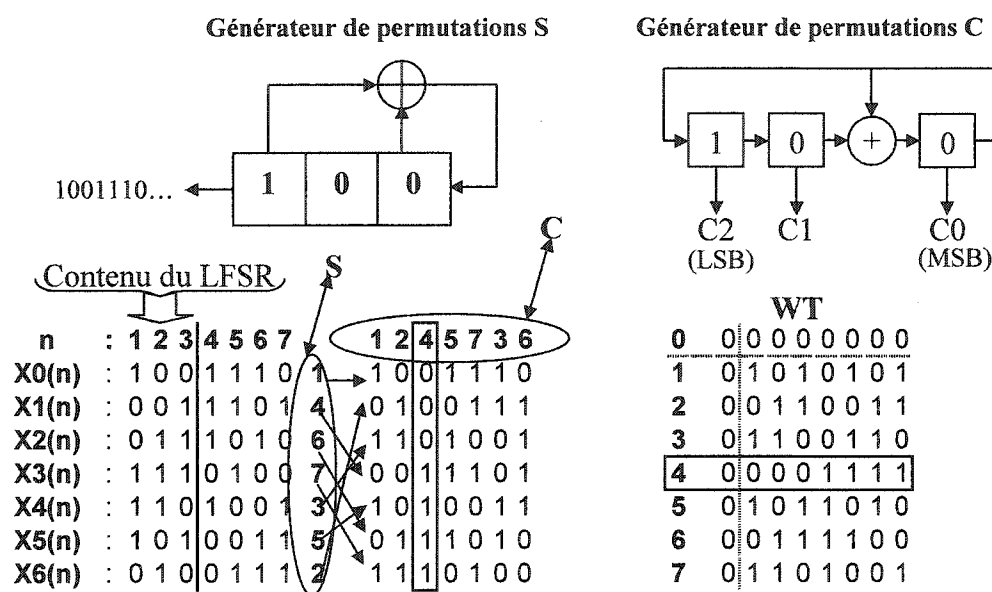


Figure 26 Illustration de l'algorithme de convolution basé sur WT

Au départ le contenu du LFSR est (001), ce qui signifie que le premier élément de S est "1". Au cycle d'horloge suivant, le contenu du LFSR devient (100), alors le deuxième élément de S est "4". Ainsi se poursuit la lecture du contenu du LFSR jusqu'à ce que le code se répète et que les valeurs de permutation S obtenus soient (1 ; 4 ; 6 ; 7 ; 3 ; 5 ; 2) comme montré à la figure 26. En appliquant ces valeurs de permutation tout en gardant à l'esprit leur ordre initial, les valeurs de permutation S inverse peuvent être calculées. Pour le vecteur de permutation S, une réorganisation de ses valeurs doit mener à

(1 ; 2 ; 3 ; 4 ; 5 ; 6 ; 7). Ce qui signifie que les valeurs de ce vecteur sont réorganisées de telle façon que la première valeur reste identique, la deuxième valeur se permute avec la septième qui est 7, et ainsi se poursuivent ces permutations comme le schématise la figure 26. La permutation inverse S^{-1} obtenue est alors (1 ; 7 ; 5 ; 2 ; 6 ; 3 ; 4).

La permutation de sortie C obtenue à partir du même contenu (001) du LFSR, est (1 ; 2 ; 4 ; 5 ; 7 ; 3 ; 6) comme montré dans la figure 26. L'implémentation matérielle de cette permutation peut être effectuée en utilisant un à plusieurs registres LFSR comme décrit dans la prochaine section. Pour réaliser la corrélation en utilisant cette méthode, la séquence d'entrée est d'abord permutée par la permutation inverse de S.

Afin de récapituler et mieux comprendre l'application de cet algorithme, supposons comme exemple que le code PRN généré localement et le code PRN reçu sont respectivement comme suit :

- Le code local PN: (1 0 0 1 1 1 0)
- Le code reçu PND (code retardé): (0 1 1 1 0 1 0)

En utilisant des permutations inverses, S^{-1} , nous obtenons :

$$\text{PND}(S^{-1}) = X = (0 0 0 1 1 1 1) \quad (4.1)$$

où :

$$S^{-1} = (1 7 5 2 6 3 4) \quad (4.2)$$

La convolution du code PN avec le code retardé PND est obtenue par calcul de la transformée de Walsh de X de l'équation 4.1. Puisque les lignes de la fonction de Walsh sont de 8 bits, d'un bit de plus que la séquence X, alors pour effectuer correctement la transformée de Walsh de celle-ci, un "0" est ajouté à son poids fort. Avant de calculer la transformée de Walsh en multipliant ce vecteur X par la matrice H_8 de Hadamard, une

transformation des bits de X en vraie représentation des nombres (par “-1” et “+1”) est réalisée par $-2 \cdot X + 1$. Alors l'équation 4.1 devient :

$$X = (1 \ 1 \ 1 \ 1 \ -1 \ -1 \ -1 \ -1) \quad (4.3)$$

Donc :

$$Y = X \cdot H_8 = (0 \ 0 \ 0 \ 0 \ 8 \ 0 \ 0 \ 0) \quad (4.4)$$

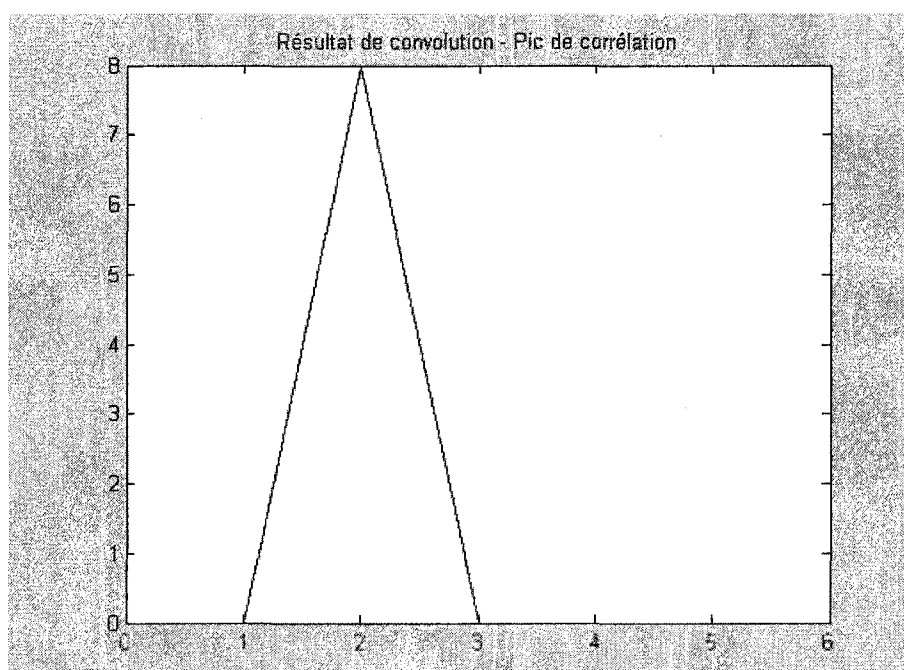


Figure 27 Corrélation rapide basée sur la transformée de Walsh

Le premier “0” du poids fort du résultat Y de l'équation 4.4, est omis afin d'appliquer le vecteur de permutation C qui est (1 2 4 5 7 3 6) sur 7 bits. Donc le résultat final de la convolution est comme suit :

$$Y(C) = (0 \ 0 \ 8 \ 0 \ 0 \ 0 \ 0) \quad (4.5)$$

Ce résultat donne l'estimation correcte du décalage entre les deux séquences PN et PND, soit de 2 bits. Une simulation Matlab de cet algorithme est effectuée. La figure 27 montre le résultat obtenu qui confirme ce décalage de 2 bits entre les deux séquences.

Plus de détails au sujet de l'algorithme de convolution de Walsh et de sa théorie peuvent être trouvés aux références [Budisin89] et [Sari95].

4.3 Implémentation matérielle

Les générateurs de permutation et la transformée de Walsh sont les premières étapes qui doivent être implémentées soigneusement. Les permutations peuvent être stockées habituellement dans des tables de consultation LUT. Ce type d'implémentation n'est pas efficace puisqu'il exigera du matériel additionnel pour le stockage et du temps supplémentaire pour effectuer la recherche. Par conséquent, les permutations doivent être produites en temps réel autant que possible afin de minimiser la surface silicone nécessaire pour l'implémentation et pour ne pas consommer inutilement du temps de traitement dans le processus de permutation. Cependant, l'implémentation de la transformée de Walsh dans une puce FPGA a deux exigences. La transformée de Walsh doit utiliser la méthode de traitement parallèle autant que possible et les longueurs des blocs doivent être optimales afin de pouvoir construire une très grande transformée. Ceci nous permettra de contrôler tout débordement du calcul matriciel relié à la transformée de Walsh [Demengel99].

4.3.1 Générateurs de permutations

Les séquences PN sont générées en utilisant des registres à décalage LFSR avec une rétroaction linéaire. Les permutations S sont les valeurs décimales des bits binaires dans le registre à décalage. Quand on initialise le registre LFSR par (001) comme dans

l'exemple déjà présenté, l'état initial et les six prochains états du registre seront (001 ; 100 ; 110 ; 111 ; 011 ; 101 ; 010), ou (1 4 6 7 3 5 2) en décimale, qui représente la séquence des permutations S . Cependant, les permutations S peuvent être générées facilement. Une implémentation matérielle du générateur des permutations S est montrée à la figure 28. La RAM et le compteur ne sont nécessaires que si le stockage des permutations est désiré. Cependant dans l'algorithme de corrélation utilisé, seulement le stockage de la permutation inverse S^{-1} est nécessaire. Par contre, aucune implémentation ne sera utile pour le stockage de S .

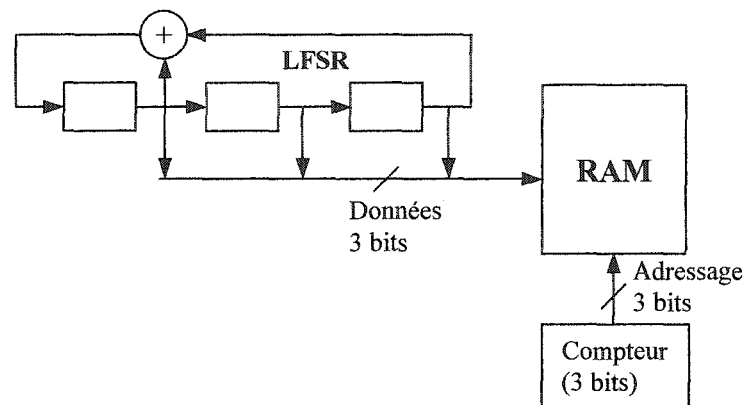


Figure 28 Implémentation d'un générateur de permutations S

L'implémentation du générateur des permutations S^{-1} est montrée à la figure 29. L'unique changement effectué par rapport à la figure 28 est que le LFSR est employé pour l'adressage de la RAM, tandis que le compteur est utilisé pour charger les données à la RAM.

Les permutations C , sont liées au contenu du LFSR. Chaque séquence PN a sa propre permutation des bits du LFSR pour produire C . La réorganisation du contenu du LFSR produira la séquence C nécessaire, par exemple (b2 ; b1 ; b0) devient (b2 ; b0 ; b1).

Cette procédure peut être implémentée en utilisant un à plusieurs types de registres à décalage, comme représenté par la figure 30 [Cohn77].

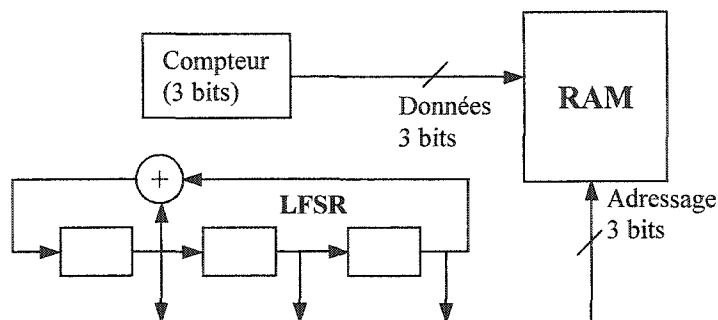


Figure 29 Implémentation d'un générateur de permutations S^{-1}

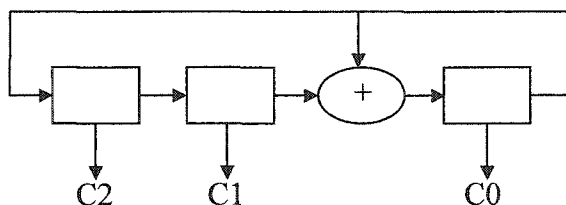


Figure 30 Implémentation d'un générateur de permutations C

4.3.2 Transformée de Walsh

La conception des transformées nécessaires peut être effectuée à l'aide d'une puce FPGA qui permet facilement l'intégration du grand nombre d'opérations requis pour les transformées.

La conception d'une transformée de Walsh en utilisant une structure de papillon est très efficace pour de nombreuses raisons. Le motif le plus important est qu'un papillon de Walsh a seulement un type d'opérations qui est l'addition. Les opérations de soustraction peuvent être réalisées comme des additions (voir la figure 31). Cependant, si l'on veut

partitionner le papillon de Walsh, nos premières préoccupations seront la détermination des endroits des entrées/sorties et des valeurs intermédiaires.

Le papillon de Walsh devra être implémenté en mode parallèle afin d'atteindre la vitesse maximale. Malheureusement, la taille de la transformée de Walsh peut être énorme en utilisant des applications à base de DSP. Le nombre de processeurs exigés pour implémenter une transformée parallèle complète est très grand et exige un grand nombre d'entrées/sorties. Par conséquent, une conception complètement parallèle est impossible puisqu'à l'heure actuelle il n'y a aucune puce qui peut soutenir ces conditions. Une solution possible à ce problème consisterait à diviser le papillon en des plus petits papillons [Alaqueeli01].

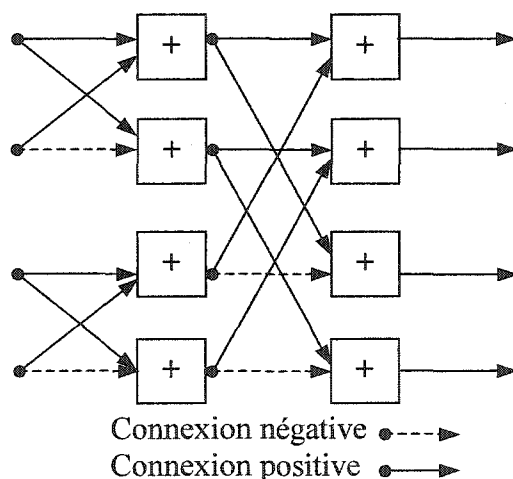


Figure 31 Papillon de Walsh de 4 points

Pour un papillon de Walsh de 1024 points, on peut utiliser des partitions de papillons de 128, 64, 32 ou de 16 points. Un papillon de 128 points peut ne pas être un bon choix car un papillon de 8 points sera également nécessaire pour construire le papillon de 1024 points de la transformée de Walsh. Par conséquent, le choix d'une taille de papillon différente peut aider à réduire le nombre de blocs et à concevoir une structure optimisée.

Les ressources disponibles dans la carte ou dans la puce utilisée, est un autre facteur qui contrôle la conception. Employer une puce FPGA, telle que la série Virtex FPGA, fournira plus de ressources pour des conceptions aussi grandes qu'une structure papillon de 1024 points. Pour un papillon de Walsh de 1024 points, 64 blocs de papillons de Walsh de 32 points est la solution optimale si le bloc de Walsh de 32 points est conçu complètement en mode parallèle [Alaqeeli01]. De cette façon, on aura à utiliser que des papillons de 32 points.

4.4 Comparaison de Walsh à la FFT

La transformée de Walsh contrairement à la FFT ne requiert pas de multiplications. La complexité de la transformée de Walsh ne peut être améliorée en augmentant le nombre de point de la transformée comme c'est le cas avec la FFT. Aussi à l'inverse de la FFT, la transformée de Walsh ne produit pas les données en ordre de bits inversé. Cependant tout comme la FFT, la transformée de Walsh fournit l'information fréquentielle sur la séquence d'entrée, et la puissance spectrale peut être définie.

Cette méthode de transformée de Walsh exige seulement $N \log_2 N$ additions et/ou soustractions réelles. Pour la méthode basée sur la transformée de Fourier rapide, qui nécessite 3 FFT, N multiplications complexes et N additions complexes, si la FFT du code local PN est pré-calculée et stockée dans une mémoire, alors on aura besoin de seulement 2 FFT plus N multiplications et N additions complexes. Ce qui nécessite environ $2N \log_2 N + N$ multiplications complexes, et $2N \log_2 N + N$ additions complexes, ce qui correspond approximativement à $6N \log_2 N$ multiplications réelles et $14N \log_2 N$ additions réelles [Smith95]. Par conséquent, la méthode de corrélation basée sur la fonction de Walsh est préférée particulièrement dans des applications de temps réel où le processus d'acquisition doit être très rapide.

Si nous supposons qu'un calcul de multiplication nécessite deux additions, alors le nombre total d'opérations pour la méthode basée sur la FFT est approximativement 26 fois plus grand que pour l'algorithme de Walsh. En outre un multiplicateur de N bits a besoin de N fois plus de surface qu'un additionneur de N bits. Par conséquent, si les signaux d'entrée sont sur 8 bits, alors l'efficacité temps-surface de cet algorithme est approximativement 208 fois meilleure que pour une méthode basée sur la FFT.

4.5 Walsh en GPS

Cet algorithme a permis d'accélérer l'acquisition des signaux CDMA. Cependant, pour le cas du GPS, cette méthode ne peut être directement appliquée, du fait que le code C/A soit un code de Gold qui est obtenu par un ou-exclusif de deux codes PN. Par conséquent, le code C/A ne satisfait pas aux relations de permutation de la transformée de Walsh et du code PN. Cependant selon la littérature, il n'a pas été prouvé que la transformée de Walsh ne puisse être employée pour la corrélation d'un code de Gold. En outre, les nombres de uns et de zéros dans un code de Gold sont respectivement égaux aux nombres de uns et de zéros dans n'importe quelle ligne de la transformée de Walsh après omission de la première colonne. Ainsi, la possibilité de trouver une manière d'étendre l'utilisation de la méthode de Walsh à la corrélation du code C/A existe toujours. Ceci aidera sans doute à accélérer l'acquisition du code de C/A de façon significative.

CHAPITRE 5

UTILISATION DE LA MÉTHODE D'ÉCHANTILLONNAGE

5.1 Présentation de la méthode

Toujours dans l'objectif de rendre le processus d'acquisition encore plus rapide, l'application de la transformée de Walsh au signal GPS a été étudiée et présentée au chapitre 4 précédent. Cependant, les caractéristiques du code de Gold utilisé en GPS ne permettent pas l'application de cette transformée. Ainsi, la méthode de corrélation basée sur l'utilisation de la FFT reste le choix idéal pour une acquisition rapide. L'architecture qui est issue de cette technique, utilise des FFT/IFFT de 5000 points. Or ce chiffre qui n'est pas une puissance de 2, ne permet pas de construire une structure de papillon de cette FFT. Ce qui rend difficile l'implémentation de cette dernière qui nécessite un algorithme à base multiple [Smith95]. Ainsi, il est important d'utiliser de plus petites FFT afin de pouvoir implémenter le processus d'acquisition sur une puce FPGA de façon optimale.

Une méthode qui a été présentée dans l'article [Starzyk01], permet d'utiliser des FFT/IFFT de 1023 points adaptées à la longueur de 1023 chips du code C/A. Cette méthode consiste à sous-échantillonner le signal IF numérique d'entrée de 5000 à 1023 points pour pouvoir ensuite effectuer la corrélation avec une FFT/IFFT de 1023 points. La réplique du code C/A local, dont la longueur de sa période est de 1023 chips, se voit directement transformée dans le domaine fréquentiel par une FFT de 1023 points, qui est suivie d'une opération de conjuguée complexe. Cette transformation est réalisée conjointement avec les deux composantes I/Q du signal, en considérant que la composante I, en phase, soit la partie réelle du signal d'entrée, et que la composante Q, en quadrature, soit la partie imaginaire de celui-ci.

Par la suite, les deux sorties complexes des deux FFT sont multipliées, le résultat est ramené au domaine temporel par une IFFT afin d'évaluer l'amplitude du pic de corrélation et de détecter l'emplacement de celui-ci par rapport à l'ensemble des 1023 points du résultat. Cet emplacement reflète la déviation du code en chips ou bien en $1/1023$ ms. La figure 32 montre un schéma bloc du système d'acquisition utilisant cette technique de sous-échantillonnage du signal IF numérique.

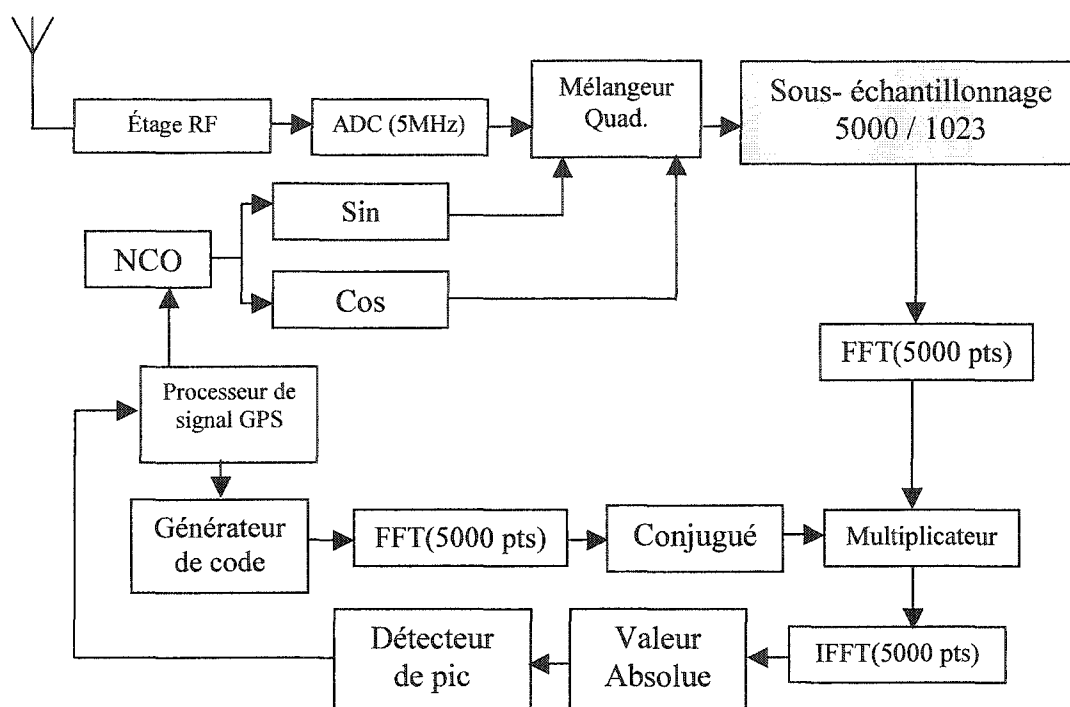


Figure 32 Schéma bloc du système d'acquisition

Les 1023 chips du code C/A sont compris dans les 5000 échantillons qui représentent la donnée de 1 ms. Alors, le sous-échantillonnage de 5000 à 1023 points signifie que la majorité des chips du code C/A sont représentés par 5 échantillons, tandis que certains le sont par 4 seulement. Donc parmi les premiers 5 échantillons consécutifs seulement un d'entre eux doit être le premier échantillon d'un chip [Starzyk01]. Autrement dit, dans le cas normal, le résultat de corrélation ne sera suffisamment précis si le premier point

pris dans les 5000 échantillons diffère du premier échantillon d'un chip. Ce qui montre l'importance du choix du bon point de départ, parmi les 5 premiers, pour effectuer le sous-échantillonnage à 1023. On doit alors essayer comme point de départ, chacun des 5 premiers échantillons successifs des 5000 échantillons, en calculant les 5 fonctions de corrélation qui en découlent, de 1023 points donnant un total de 5115 points. Ainsi, le plus grand pic de corrélation sera obtenu par l'utilisation de la meilleure approximation du code C/A qui est à son tour obtenue avec le bon point de départ.

L'emplacement de ce plus grand pic n'est pas suffisant pour déterminer précisément la phase du code, car il faut aussi tenir compte d'y ajouter le décalage causé par le choix d'un certain point de départ. À titre d'exemple supposant que le cinquième point de départ est celui qui est responsable du plus grand pic de corrélation, et que celui-ci est situé au 160 point. Alors la phase du code incluant le retard causé par le choix du cinquième point de départ, sera calculée en tenant compte de cette considération de la façon suivante:

$$\tau = \left(\frac{160}{1023} \times 5000 + 4 \right) \times \frac{1.ms}{4999} \cong 0.1572.ms \quad (5.1)$$

Cette méthode l'emporte contre celle utilisant la FFT de 5000 points, du fait que le calcul de cinq FFT de 1023 points est moins coûteux que le calcul d'une seule FFT de 5000 points. Aussi, cette méthode est plus stable au niveau probabilités de détection que celle à base de FFT sur 5000 points [Starzyk01].

Toutefois, cette méthode n'a pas facilité suffisamment la tâche pour l'implémentation du système d'acquisition qui en découle. Ceci est dû au fait que la FFT de 1023 points est difficilement réalisable en structure de papillon puisque 1023 n'est pas une puissance de 2. D'où l'importance de chercher une façon permettant d'utiliser une FFT de $2^{10} = 1024$ points et de pouvoir ainsi exploiter la disponibilité du "core" optimisé de la FFT de 1024 points de Xilinx.

5.2 Insertion du zéro à la séquence de 1023 points

Cette solution connue sous le nom de “Zero-Padding”, consiste à insérer un point supplémentaire, qui est “0”, aux 1023 échantillons du signal d’entrée, et ce afin d’utiliser le “core” optimisé de FFT de 1024 points. Cependant, cette insertion ne pourra être appliquée directement car le code C/A où le zéro sera inséré perdra sa périodicité, ce qui influencera ses propriétés de corrélation circulaire. Ainsi la corrélation des deux séquences après insertion du zéro donnera deux pics de corrélation distincts du fait que chacune de ces deux séquences a été subdivisée en deux autres à cause du “0” inséré. Il est intuitif que la somme des deux valeurs de pics obtenus, soit équivalente à la valeur du pic original. Cette perte d’énergie observée augmentera potentiellement la probabilité P_{MD} d’une détection manquée. Il faut alors choisir l’emplacement pour l’insertion du zéro de telle sorte que le code C/A soit divisé en deux séquences dont l’une sera suffisamment longue pour contenir une bonne portion de l’énergie du pic de corrélation original. Cette méthode nécessitera donc une autre dimension de recherche, qui est celle de l’emplacement d’insertion du “0”. Ceci augmentera le nombre d’opérations nécessaires pour l’acquisition. Cette dernière aura alors besoin de 5 processus de corrélations à base de FFT, multiplié par le nombre d’insertions du zéro effectués. Si l’on suppose à titre d’exemple qu’un algorithme de recherche de cette nouvelle dimension permet de trouver cet emplacement d’insertion acceptable à la troisième tentative, alors 15 corrélateurs rapides sont nécessaires à l’acquisition. De plus si la FFT de la réplique du code C/A est précalculée et stockée dans une mémoire, alors cette méthode nécessitera 15 FFT de 1024 points et 15 IFFT de 1024 points en plus de $15 \cdot 1024$ multiplications complexes. Ce qui donne $2 \cdot 15 \cdot 1024 \cdot \log_2(1024) + 15 \cdot 1024 = 322\,560$ multiplications, et $2 \cdot 15 \cdot 1024 \cdot \log_2(1024) = 307\,200$ additions. Or la méthode de corrélation rapide utilisant la FFT de 5000 points, nécessite approximativement 130 000 multiplications, et un chiffre similaire d’additions. Donc finalement, cette technique d’insertion du zéro n’est pas recommandable pour cette application. Une autre solution

alternative est présentée, et ce afin de pouvoir simplifier la tâche d'implémentation en utilisant une FFT optimisé de 1024 points.

5.3 Échantillonnage à 1024 points

La solution mentionnée plus haut consiste à faire un sous-échantillonnage du signal IF numérique d'entrée de 5000 à 1024 points, et à sur-échantillonner la réplique locale du code de 1023 à 5000 points avant de sous-échantillonner finalement à 1024 points. Ce code local sur et sous échantillonné, reste toujours un code unique lié au code C/A original. Autrement dit, ce code résultant ne peut être obtenu à partir d'un code différent du code C/A original dont il est issu. Chaque chip du code obtenu est de largeur 1/1024 ms, tandis que pour celui du code original, sa largeur est 1/1023 ms. Alors pour estimer la phase du code à partir du résultat de corrélation, il faut tenir compte de ce changement dans la dimension du chip. Par exemple, si le pic est situé au 150^{ème} point sur 1024, alors la phase du code sera égale à $(150/1024) \cdot 1023$ chip original, ou bien $(150/1024) \cdot 1$ ms.

Cette méthode nécessite $5 \cdot (2 \cdot 1024 \cdot 10 + 1024)$ multiplications, soit 107 520, et $(5 \cdot 2 \cdot 1024 \cdot 10)$ additions, soit 102 400. Or la méthode de corrélation rapide utilisant la FFT de 5000 points, nécessite approximativement 130 000 multiplications, et un chiffre similaire d'additions. Donc, cette méthode réduit le nombre d'opération d'environ 25 % par rapport à la méthode basée sur l'utilisation de FFT de 5000 points. Et surtout, c'est à cause de son utilisation de la FFT de 1024 points, que cette méthode dépasse potentiellement, au niveau de facilité d'implémentation, celle basée sur la FFT de 5000 points.

Afin de compléter l'évaluation de cette méthode, ses effets sur les paramètres pertinents de SNR, la phase de code et la phase de la porteuse, ont été évalués pour un bloc de 200 ms de données GPS.

En ce qui concerne le SNR, le rapport de perte crête à crête moyen est de 12.7 %, soit 0.5 dB, ce qui est acceptable dans une majorité de cas, à l'exception des cas d'acquisition de signaux faibles.

Pour le processus d'acquisition, la phase du code estimée doit avoir une marge de précision de $\pm 1/2$ chip. Or par cette méthode, la phase du code peut être estimée avec une précision de 100 ns, soit de $\pm 1/10$ d'un chip.

Finalement, l'erreur accumulée de la déviation de la porteuse lors du traitement par bloc, est de 0.03 rad, ce qui est considérée acceptable [Alaqeeli03].

Alors, cette méthode d'échantillonnage est jugée satisfaisante pour passer à son implémentation dans le processus d'acquisition rapide, et ce sur une puce programmable FPGA de Xilinx.

5.4 Architecture proposée

La méthode d'échantillonnage telle qu'adaptée à 1024 points, constitue le choix réalisé pour une structure implémentable du système d'acquisition rapide. L'implémentation de cinq transformées de Fourier de 1024 points avec cette méthode, est considérablement plus simple que de concevoir une FFT de 5000 points pour une structure utilisant ce dernier nombre de points. La figure 33 suivante illustre une architecture complète du récepteur GPS rapide proposé. L'étage RF utilisé est le système de collecte de données GPS déjà présenté au chapitre 3. Tandis que la poursuite, elle est réalisée par un corrélateur sériel standard de la structure DLL, où les répliques E-P-L sont utilisées. Celui-ci peut être implémenté sur un DSP afin de raffiner la phase du code estimée dans la partie d'acquisition rapide, qui est à implémenter sur le FPGA.

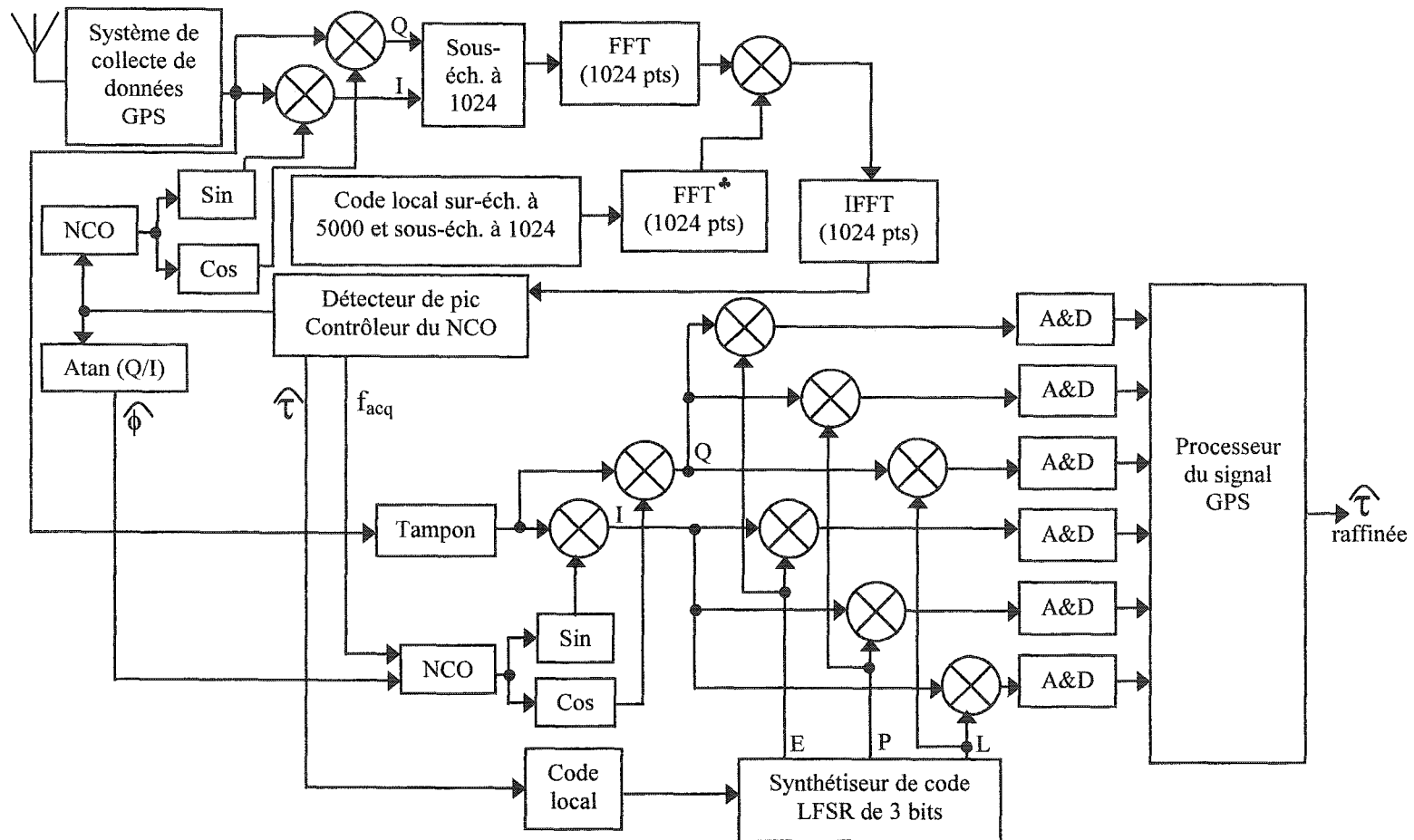


Figure 33 Schéma bloc du récepteur GPS rapide

* Le conjugué complexe de la FFT de la réplique locale.

L'entrée est mélangée quadratiquement avec les composantes de phase la porteuse. Les canaux I et Q qui en découlent, sont chacun sous-échantillonnés à 1024 points avant d'être convertis au domaine fréquentiel par une FFT complexe de 1024 points. Le signal est ensuite multiplié avec la conjuguée de la FFT du code C/A local. Le signal résultant est ramené au domaine temporel par une transformée de Fourier inverse. Un détecteur de pic examine les 1024 sorties de la IFFT pour évaluer la valeur du pic de corrélation et son emplacement. Ce processus est répété quatre fois supplémentaires, chacune avec un nouveau point de départ comme déjà expliqué.

Lorsque le code d'un satellite est détecté, à savoir un pic de corrélation est évalué supérieur au seuil de détection, le détecteur de pic transmet à l'estimateur de la phase de fréquence les valeurs des voies réelle et imaginaire I et Q responsables de ce pic. Cet estimateur calcule la phase de la porteuse à l'aide d'une fonction $\text{Atan}(x)$. L'estimation de cette phase de fréquence pour deux blocs de 1 ms successifs, permettra de raffiner davantage cette mesure. Cette déviation de fréquence raffinée avec la phase de code qui a été estimée en acquisition, sont communiquées au corrélateur de poursuite qui raffiner la phase du code à l'intérieur d'une dimension d'un chip, et ce à l'aide de ses répliques de code en avance, en phase et en retard E-P-L.

5.4.1 Détecteur du pic

Ce bloc a pour rôle de rechercher parmi les 1024 points du résultat de corrélation, le point ayant la plus grande valeur d'énergie qui est en forme de pic. Ce processus est répété pour chaque nouveau point de départ, ce qui signifie que 5120 points complexes sont vérifiés par ce détecteur. L'information la plus importante donnée par celui-ci n'est pas la valeur du pic mais son emplacement qui permet de déduire la phase du code.

La figure 34 illustre un diagramme simplifié du fonctionnement du détecteur de pic de corrélation.

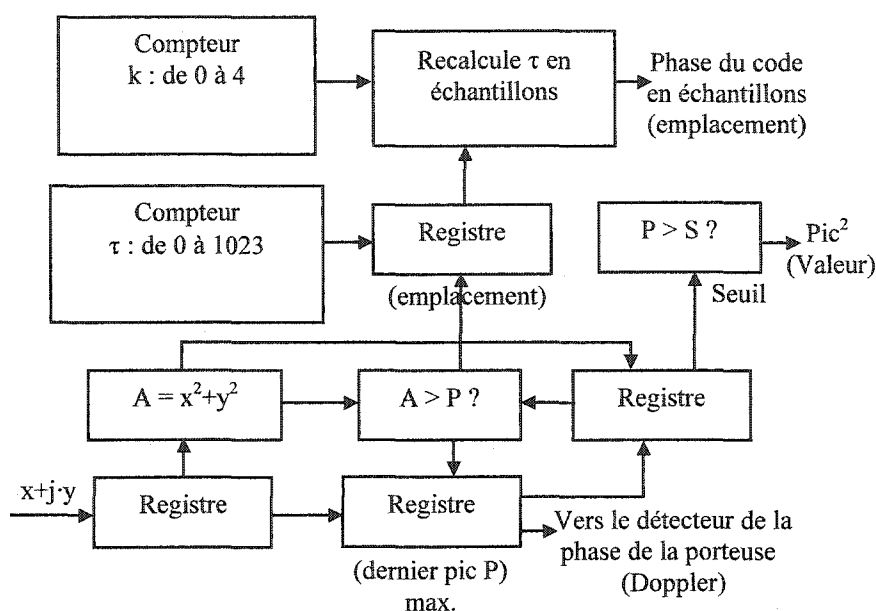


Figure 34 Diagramme de fonctionnement du détecteur de pic

Le point complexe à l'entrée, est gardé dans un registre. Les valeurs réelle et imaginaire du vecteur d'entrée sont mises au carré et sommées pour en avoir l'amplitude mise au carré, ce qui est plus simple que de calculer directement l'amplitude de ce nombre complexe. Cette opération nécessite seulement deux multiplications réelles et une addition. Ceci simplifiera la conception du bloc sans affecter la valeur du pic désirée. Au début, la valeur du pic est initialisée à zéro. À chaque coup d'horloge, une nouvelle valeur d'amplitude mise au carré est calculée. Celle-ci est comparée à la valeur calculée au dernier coup d'horloge. Si cette nouvelle est plus grande, elle est retenue ainsi que son emplacement parmi les 1024 points. Un compteur compte, de 0 à 1023, ces valeurs qui arrivent du corrélateur afin de pouvoir déterminer l'emplacement du pic. Un deuxième compteur qui compte de 0 à 4, est utilisé du fait que ce processus de recherche d'emplacement du pic est répété pour chaque nouvelle séquence obtenue de chaque

nouveau point de départ. Ainsi, le point de départ responsable du plus grand pic de corrélation est déterminé.

La phase du code est calculée en échantillons par la formule suivante :

$$\tau = \left(\frac{\tau_{1024}}{1024} \times 5000 + k \right) \text{ (échantillons)} \quad (5.2)$$

Où :

- τ : la phase du code.
- τ_{1024} : l'emplacement du pic dans les 1024 échantillons.
- k : le point de départ en échantillons.

Ceci peut être implémenter en utilisant simplement un additionneur avec un élément de mémoire LUT qui contiendra tous les 1024 résultats possibles de la multiplication.

5.4.2 Estimateur de la phase de fréquence

L'estimateur de la phase fournit une des mesures les plus pertinentes du processus d'acquisition, à savoir la phase de la porteuse. Celle-ci permet de déterminer précisément où la donnée GPS est concentrée. Dans le cas où la déviation de fréquence porteuse est nulle, l'information GPS sera concentrée sur la composante en phase I. Tandis que dans le cas où cette phase s'élève à 90°, cette information sera concentrée dans la composante en quadrature Q. Toutefois, dans la plupart des cas, l'information GPS est divisée entre ces deux canaux I et Q. Alors, le processus d'acquisition devra fournir la valeur de la phase de porteuse au corrélateur de poursuite afin que celui-ci puisse se synchroniser au signal. Ce qui permettra de rendre l'information GPS

concentrée uniquement dans la composante en phase I, car l'effet de cette phase sera compensé.

Dans le processus d'acquisition, la phase Doppler est calculée par la fonction $\text{Atan}(Q/I)$. Celle-ci peut être simplifiée en l'approximant par $90^\circ \cdot (Q/(Q+I))$. Ceci nécessite qu'une simple addition et division, pour son implémentation. La figure 35 montre la fonction Atan avec son approximation. Cette méthode calcule la phase lorsqu'elle varie entre 0° et 90° , supposant ainsi les composantes I et Q toujours positifs. Toutefois, cette méthode peut être étendue pour couvrir le plan de cette phase au complet, et ce en utilisant un petit circuit pour convertir la valeur calculée en sa forme correcte en se basant sur les signes de I et Q.

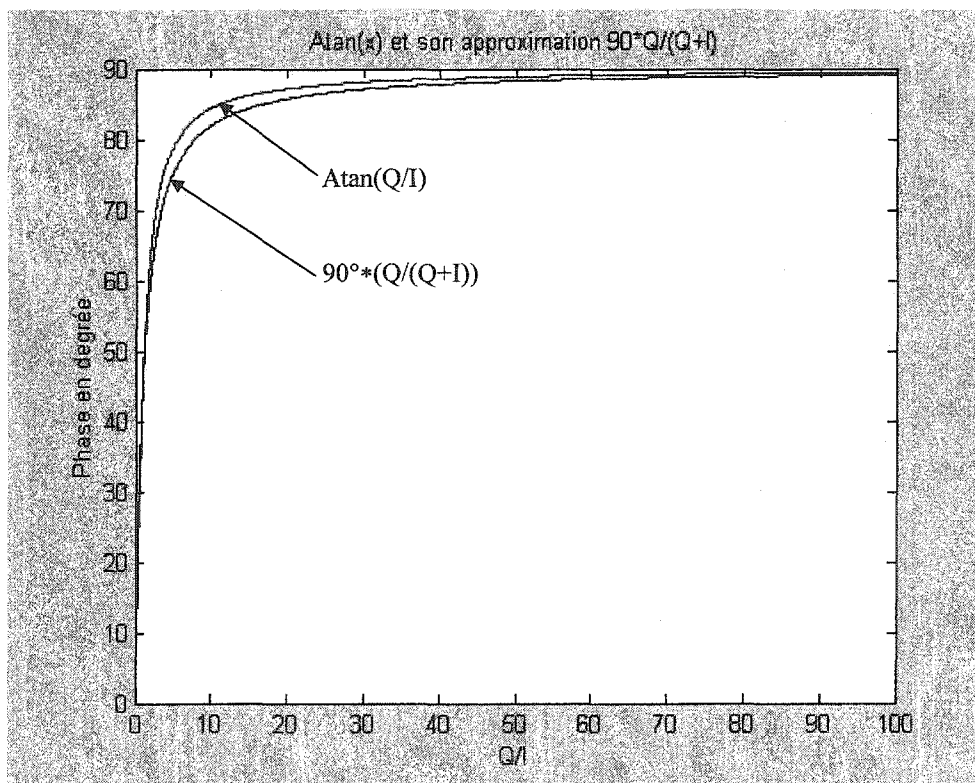


Figure 35 La fonction ATAN et son approximation

Cette fonction d'approximation est très avantageuse par rapport aux méthodes basées sur un algorithme tel que CORDIC ("Coordinate Rotation Digital Computer"). Celui-ci a été proposé par Volder en 1959 pour faciliter les calculs numériques trigonométriques, et ce par des rotations angulaires de vecteur [Kharrat01]. Aussi, l'implémentation de cette méthode nécessite une très petite surface, et vu sa simplicité son circuit peut être significativement plus rapide par rapport à n'importe quel "core" optimisé de CORDIC comme celui proposé par l'article [Kantabutra99]. Cependant, l'unique inconvénient de cette méthode, réside dans l'erreur d'approximation engendrée par cette approximation. Cette erreur varie entre -4° et 4° comme montré à la figure 36. Ce qui peut être considéré acceptable pour le processus d'acquisition.

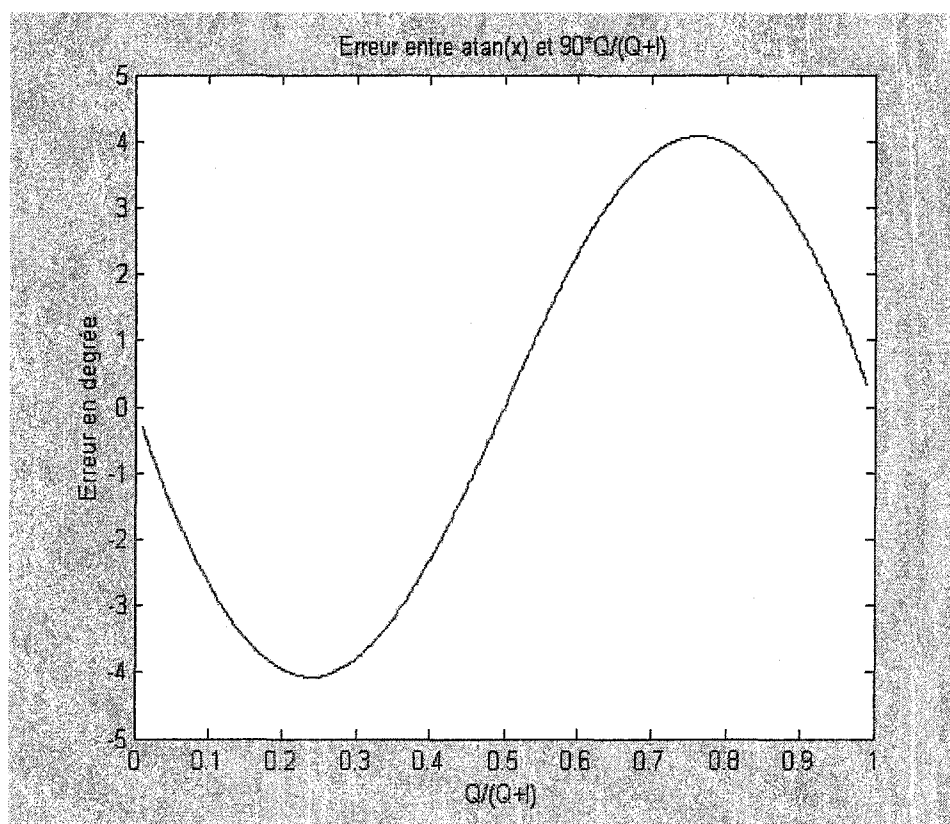


Figure 36 Erreur d'approximation de la fonction $ATAN(Q/I)$

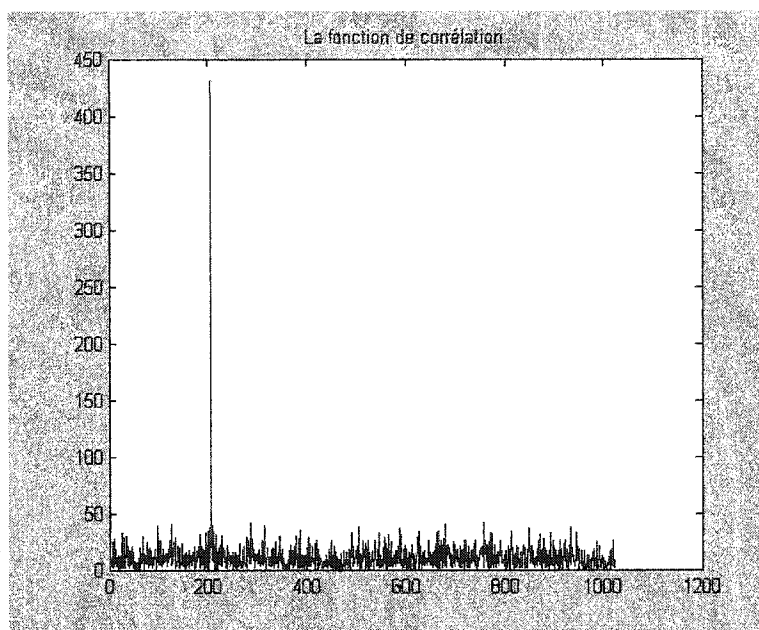
5.5 Discussion des performances et résultats

La nouvelle technique d'acquisition rapide à base de FFT présentée ici a permis d'améliorer remarquablement les performances du récepteur GPS en terme de rapidité, du fait que les corrélations soient effectuées en domaine fréquentiel, et ce par une simple multiplication complexe des deux réponses des FFT.

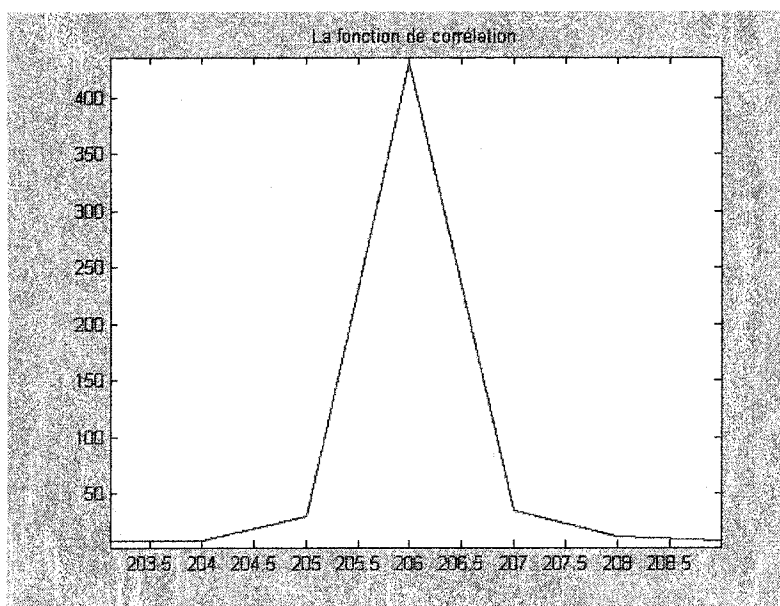
Aussi l'utilisation de cette méthode à base de corrélateurs rapides, procédant par la technique de traitement par blocs, a permis de faciliter l'acquisition de signaux noyés dans le bruit, et ce avec une précision considérable. L'acquisition de signaux avec un rapport signal à bruit aussi bas que 20 dB Hz, a pu être réalisée avec succès dans une durée de temps telle que 3.98 secondes [Psiaki01]. Rappelons que pour le cas normal, lors d'un démarrage à froid, l'acquisition du code C/A peut être effectuée en utilisant cette technique à base de FFT dans moins d'une seconde, et ce dans une plage Doppler complète de ± 5 KHz.

D'autre part, l'utilisation de la transformée de Fourier FFT de 1024 points, et ce grâce à la méthode d'échantillonnage présentée dans le présent chapitre, a permis de réduire considérablement les coûts en termes de surface silicone par rapport à l'utilisation directe de FFT de 5000 points. Aussi, l'utilisation du "core" optimisé disponible de Xilinx de la FFT de 1024 points, permettra de faciliter davantage l'implémentation de celle-ci dans une puce programmable FPGA.

Une simulation de l'architecture proposée du processus d'acquisition rapide utilisant la technique d'échantillonnage à 1024 points, a été effectuée pour une déviation de code préréglée à 1000 échantillons, et ce par rapport à la séquence de 5000 échantillons. La figure 37 montre le résultat de corrélation obtenu sur une longueur de 1024 points.



a) Pic de corrélation obtenu



b) Agrandissement du pic de corrélation obtenu

Figure 37 Résultat de la corrélation rapide du signal GPS

Un agrandissement du pic de corrélation obtenu, illustré à la figure 37b, montre la structure triangulaire imparfaite de ce pic. Celle-ci est due à l'utilisation du sur/sous-échantillonnage du code C/A initialement binaire et qui par cet effet, devenu un code multi-niveau.

Ce code résultant contient les valeurs ± 1.0 , ± 0.8 , ± 0.6 , ± 0.5 , ± 0.4 , ± 0.2 et ± 0.0 . Toutefois, celui-ci est toujours considéré un code unique lié au code C/A initial puisqu'il ne peut être généré à partir d'un code C/A différent [Alaqueeli03].

Le calcul de la phase du code est réalisé à l'aide de l'équation 5.2 déjà présentée. Alors, cette déviation de code estimée sera :

$$\tau = \left(\frac{204}{1024} \times 5000 + 4 \right) \cong 1000.0938 \text{ (échantillons)} \quad (5.3)$$

Le meilleur point de départ pour le sous-échantillonnage de 5000 à 1024, est le cinquième échantillon des 5000 points, alors k est égale à 4. Aussi, selon la figure 37b, le pseudo triangle du pic de corrélation est considéré commencer à l'échantillon 204 par rapport à 1024 points.

Finalement, on voit que la déviation du code obtenue de 1000.0938 échantillons, est légèrement différente en comparaison à celle préréglée à 1000 échantillons. Ceci est dû à l'utilisation du sous-échantillonnage qui a modifié sensiblement l'allure triangulaire du pic de corrélation. Cependant, cette mesure reste une estimation très acceptable pour le processus d'acquisition qui toutefois doit être suivi du corrélateur de poursuite permettant de raffiner cette estimation, et ce dans une dimension d'un chip.

CHAPITRE 6

ACQUISITION À BASE DE CORRÉLATEURS SYSTOLIQUES

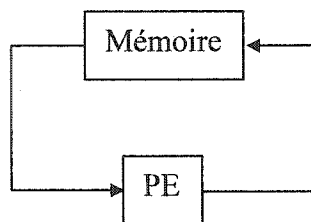
6.1 Principe d'une architecture systolique

Les progrès technologiques réalisés en matière d'intégration permettent la conception de circuits spécialisés très complexes. Il est désormais fréquent de voir apparaître sur le marché des circuits dédiés de plusieurs centaines de milliers de portes.

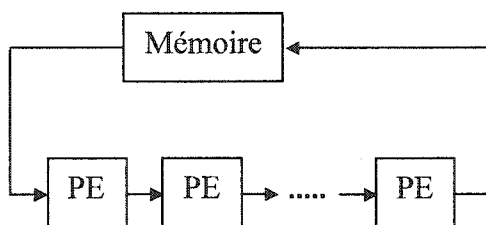
Le principe d'une architecture systolique, a été avancé en 1978 par les chercheurs Kung et Leiserson [Kung80]. Il consiste à remplacer dans une architecture conventionnelle l'unité de traitement globale par un réseau d'éléments de traitement PE "Processing Element" identiques, et ce comme illustré à la figure 38 [Kung88]. Ce principe est réalisé algorithmiquement aussi bien que architecturalement. En d'autres mots, cette technique permet de simplifier l'algorithme de traitement d'une logique aussi bien que la conception de son architecture, et ce en utilisant des éléments de traitement ou des cellules simples et de taille réduite. Ce qui fait d'elle une technique de conception fascinante qui répond parfaitement aux exigences de rapidité de traitement nécessaire et aux critères d'exploitation de la formidable densité d'intégration offerte par les puces programmables FPGA.

D'une façon générale, une architecture systolique peut être définie comme étant un réseau composé d'un grand nombre de cellules élémentaires identiques et interconnectées localement. Chaque cellule reçoit des données en provenances des cellules voisines, effectue un calcul, puis au prochain cycles d'horloge transmet les résultats aux cellules voisines.

Les données se déplacent dans le réseau systolique par une vitesse constante, aussi seules les cellules situées aux frontières du réseau qui communiquent avec le monde extérieur, soit un ordinateur hôte ou une mémoire.



a) Structure conventionnelle



b) Structure systolique

Figure 38 Illustration du mécanisme de systolisation

Dans un mécanisme systolique, les cellules évoluent en parallèle sous le contrôle d'une horloge globale, ainsi plusieurs calculs sont effectués simultanément sur ce réseau de cellules. Celui-ci est alors caractérisé par son architecture parallèle et synchrone, qui est composée de cellules identiques et simples connectées d'une façon régulière et locale dans ce réseau. La régularité ainsi que la localité dont jouissent les algorithmes systoliques les rendent particulièrement bien adaptés à être intégrés sur silicium.

La figure 39 illustre l'évolution du traitement des bits de données dans un réseau systolique de trois cellules, et ce au fur et à mesure que ces données arrivent. C'est à dire que ces bits sont traités à la vitesse de leur arrivée.

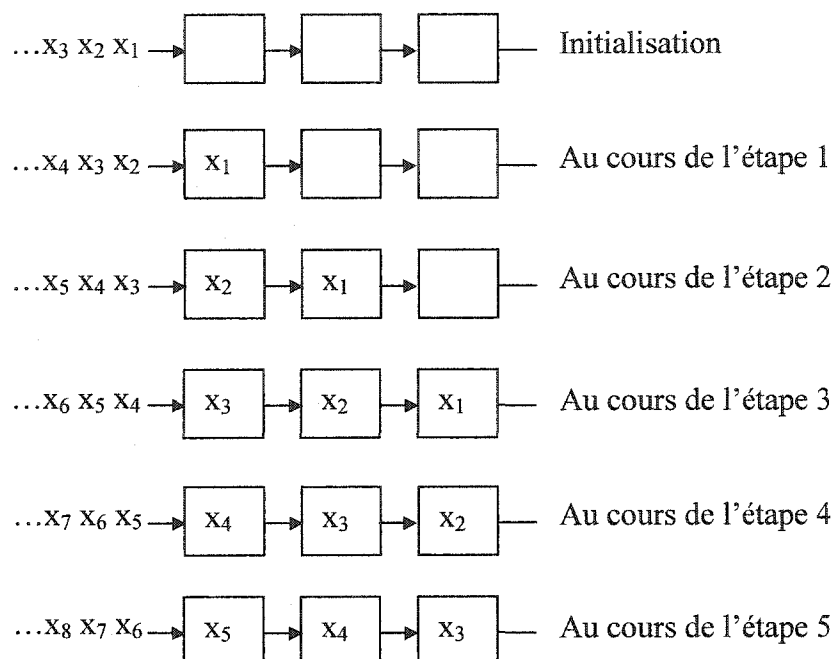


Figure 39 Évolution des données dans un réseau systolique

À titre d'exemple, une opération de multiplication et d'addition matricielle réalisée à l'aide d'un réseau systolique, est illustrée à la figure 40. Toutes les trois cellules PE_1 , PE_2 et PE_3 , réalisent les mêmes opérations, à savoir la multiplication des entrées du haut par celles du bas du réseau, l'ajout de l'entrée de gauche au produit juste obtenu et enfin la transmission du résultat à la cellule suivante du réseau. Cependant chacune des cellules utilisées est simple, et contient seulement un additionneur, multiplicateur et quelques registres. Toutefois, l'habileté du mécanisme systolique utilisé, consiste en l'ordre suivant lequel les données alimentent ce réseau. À l'instant initial, celui-ci voit à ses entrées les données l , a , p , q et r , tandis que les autres entrées sont nulles. De même,

à l'étape suivante il observe les cinq données m , d , b , p , q et r , et ainsi de suite jusqu'au cinquième étape où le résultat représenté par l'équation 6.1 suivante soit obtenu.

$$\begin{pmatrix} x \\ y \\ z \end{pmatrix} = \begin{pmatrix} l \\ m \\ n \end{pmatrix} + \begin{pmatrix} a & b & c \\ d & e & f \\ g & h & i \end{pmatrix} \cdot \begin{pmatrix} p \\ q \\ r \end{pmatrix} \quad (6.1)$$

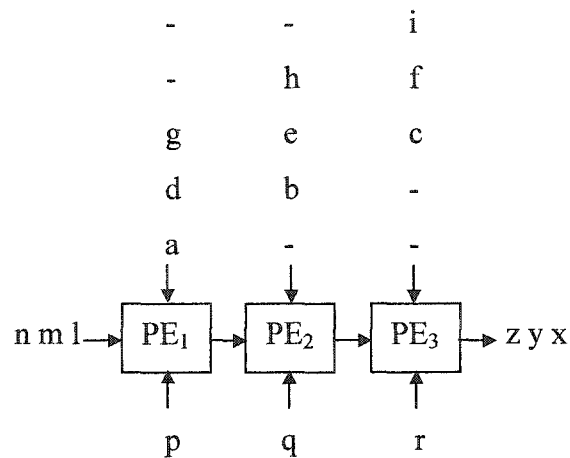


Figure 40 Exemple d'utilisation du mécanisme systolique

Vu l'efficacité et la simplicité offerte par cette technologie, nous avons pensé alors l'exploiter pour concevoir notre corrélateur GPS intégré dans un mécanisme systolique [Gagnon03]. Ainsi nous pourrions répondre aux exigences de rapidité et exploiter la facilité d'intégration de ce corrélateur systolique sur une puce programmable FPGA. Aussi grâce à la taille réduite d'intégration des cellules de ce mécanisme, nous pourrions implémenter le système d'acquisition du signal GPS à base d'une banque de ces corrélateurs systoliques opérant en parallèle.

6.2 Architecture proposée du corrélateur systolique

L'architecture du corrélateur à concevoir doit avoir une structure systolique. Ceci nécessite d'abord une détermination du nombre de cellules que devra comporter le réseau systolique du corrélateur. Or, il est clair que les données à traiter se répartissent sur une période de code du signal GPS. Alors, ce nombre de données sera égal au nombre de chips, soit 1023. Et intuitivement, le nombre de cellules PE nécessitées pour construire le réseau systolique sera aussi 1023. Toutefois, ce nombre de cellules utilisées dans le mécanisme aura un effet direct sur la précision de la déviation de code mesurée. Aussi, si on considère un réseau de 1023 cellules, alors celles-ci devront être contrôlées par une horloge de 1.023 MHz, soit d'une période égale à la longueur d'un chip qui est d'une microseconde.

Comme déjà mentionné, le nombre de cellules utilisées dans le réseau systolique a un lien direct avec la déviation du code recherchée. Ainsi le mécanisme systolique à concevoir n'est rien autre qu'un corrélateur de code. Celui-ci permettra d'estimer la phase du code τ du signal IF numérique reçu. Toutefois, pour la détermination de la phase de fréquence, un autre système est nécessaire. Celui-ci devra opérer conjointement avec le réseau systolique, et ce afin de mesurer la phase de fréquence déduite de l'argument du maximum de corrélation $R(\tau)$.

La figure 41 illustre le schéma de l'architecture systolique proposée du corrélateur de code. Chaque cellule comporte une multiplication de signe, un accumulateur et un comparateur permettant aussi de mémoriser l'indice i de la cellule qui engendre le plus grand résultat de corrélation, et ce jusqu'à détection du pic de corrélation et son emplacement i_p . Celui-ci traduit implicitement la déviation de la phase de code en terme de chips. Cependant un corrélateur de poursuite, comme celui proposé pour l'architecture du récepteur GPS au dernier chapitre, pourra être utilisé afin de raffiner davantage cette estimation.

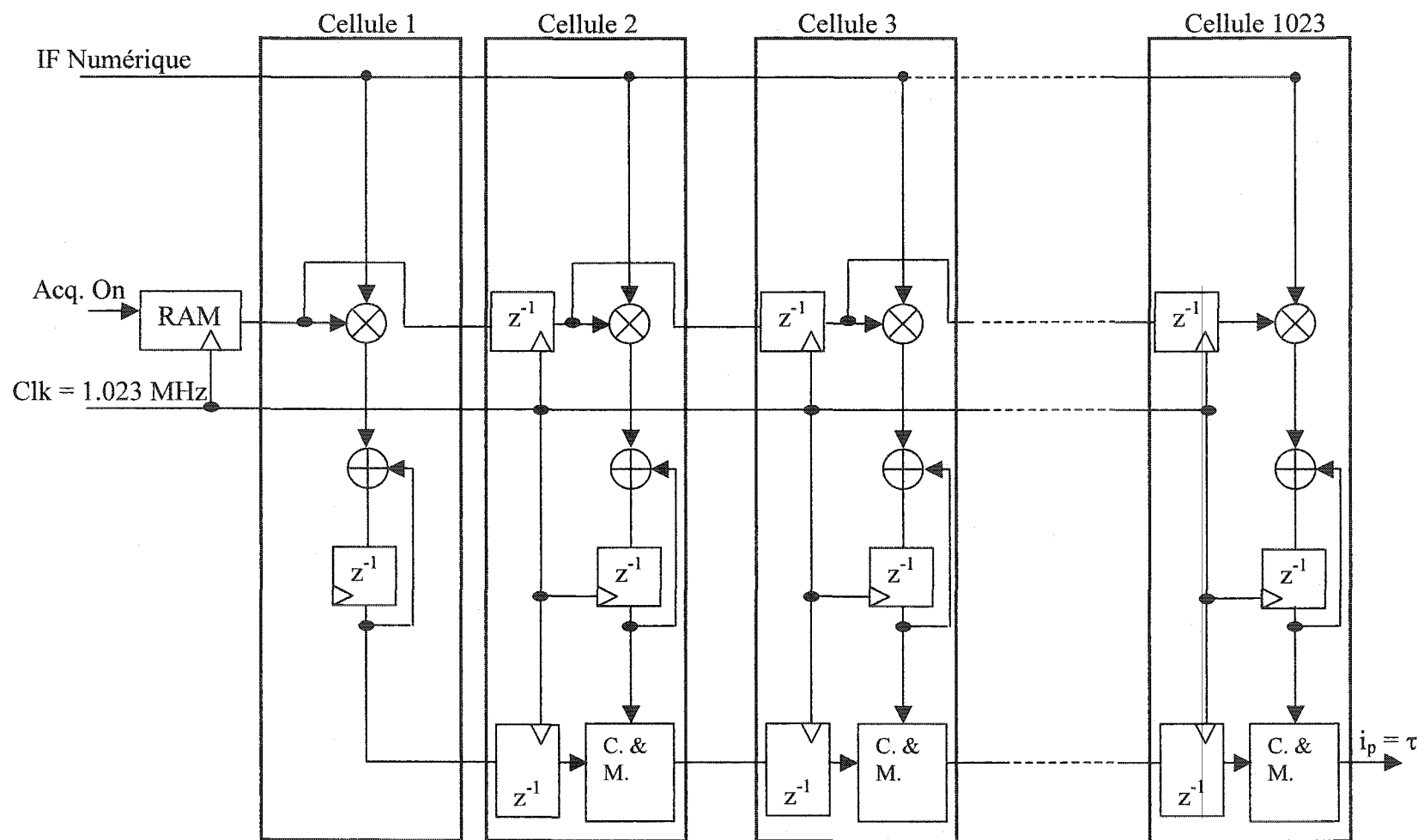


Figure 41 Architecture du corrélateur de code systolique

Une mémoire est utilisée pour générer les répliques des codes possibles. Celle-ci est contrôlée par une mise en marche permettant de commencer la génération du code local. Elle est aussi synchronisée à la fréquence d'horloge de 1.023 MHz, soit d'une période de 0.997 μ s qui est la longueur exacte d'un chip dans le code civil C/A.

Il est à signaler aussi que les délais utilisés sont de 1 μ s, et sur la branche des multiplicateurs, le réseau prend 1 ms de temps pour compléter le traitement des données d'une période de code entière. Toutefois, la réponse du corrélateur, qui est la déviation du code τ , est fournie après 2 ms, soit après deux périodes de code, et ainsi le nombre N d'échantillons traités sera de 2046.

Le résultat obtenu par accumulation dans chaque cellule i, peut s'écrire comme suit :

$$R_i = \sum_{j=0}^{N-i+1} S(j) \times G(j+i-1) \quad (6.2)$$

Où :

- R_i : Le résultat obtenu par accumulation à la cellule i.
- i : Indice de cellule de 1 à 1023.
- j : Indice de la somme.
- N : Le nombre d'échantillons ou de chips traités, soit de 2046.
- S : Le signal IF numérique de 1023 échantillons par 1 ms.
- G : Le code de Gold local, mémorisé dans la RAM.

Ces résultats R_i obtenus par chacune des cellules du réseau systolique du corrélateur sont comparés afin de détecter l'emplacement i_p du pic traduisant la déviation du code τ .

Il est à noter qu'en présence du déphasage Doppler, le signal reçu devient complexe, et se répartit ainsi entre ses composantes en phase I, et en quadrature Q. En absence de cette

déviations de fréquence, l'information est totalement concentrée dans la composante en phase I, et le signal sera réel. La figure 42, illustre l'effet de la phase de code, τ , et celui de la fréquence Doppler, ϕ , sur un signal sinusoïdal donné.

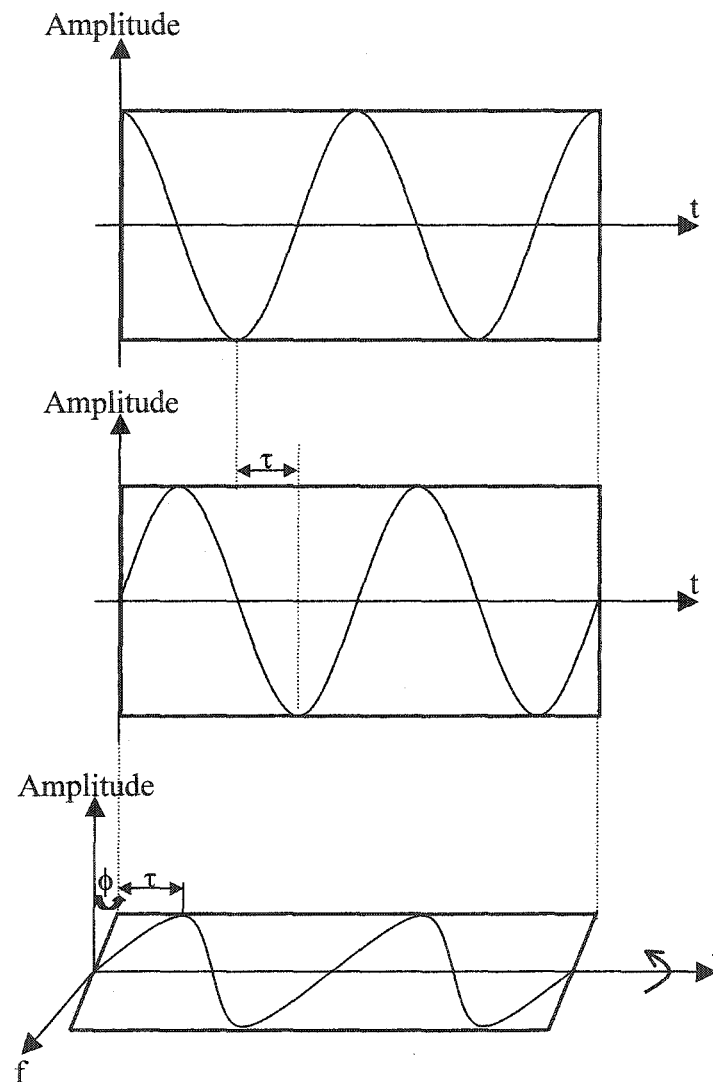


Figure 42 Illustration d'effet de déviation de phase de code et de phase Doppler

Le corrélateur de code de la figure 41, permet de trouver la phase de code τ qui correspond à l'indice i_p de la cellule où le maximum de corrélation $R(\tau)$ fut détecté. En

présence d'une déviation de fréquence Doppler, cette valeur de corrélation est complexe, et le corrélateur GPS devra estimer aussi la phase ϕ , et ce pour une acquisition complète du signal GPS. Toutefois cette phase Doppler ϕ , représente l'argument de $R(\tau)$ comme montré à l'équation suivante :

$$\phi = \arg\{R(\tau)\} \quad (6.3)$$

Tandis le module de cette fonction de corrélation pour un décalage temporel τ , donne la valeur du pic de corrélation obtenu comme montré à l'équation suivante :

$$A_{\max} = |R(\tau)| \quad (6.4)$$

Alors, il est tout à fait possible de concevoir un système d'acquisition complet, et ce à partir du corrélateur de code systolique de la figure 41 combiné à un module permettant de calculer l'argument et le module de $R(\tau)$ obtenue. Ce système est schématisé à la figure 43.

L'architecture du réseau systolique a été améliorée en substituant les comparateurs C.&M. par des tampons en sorties des cellules qui sont contrôlées par un jeton. Celui-ci permet de transmettre au module de calcul à chaque coup d'horloge, le résultat d'accumulation de chaque cellule. À son tour le module de calcul, qui peut être un processeur DSP, estime le module, la phase et la déviation de code par un compteur. Le module de chaque valeur accumulée est comparé à celui de la valeur précédente. S'il est plus grand que le précédent, alors une nouvelle phase Doppler ϕ est estimée par l'équation 6.3. Ce processus se poursuit jusqu'à détection du pic de corrélation pour N égal à 2046.

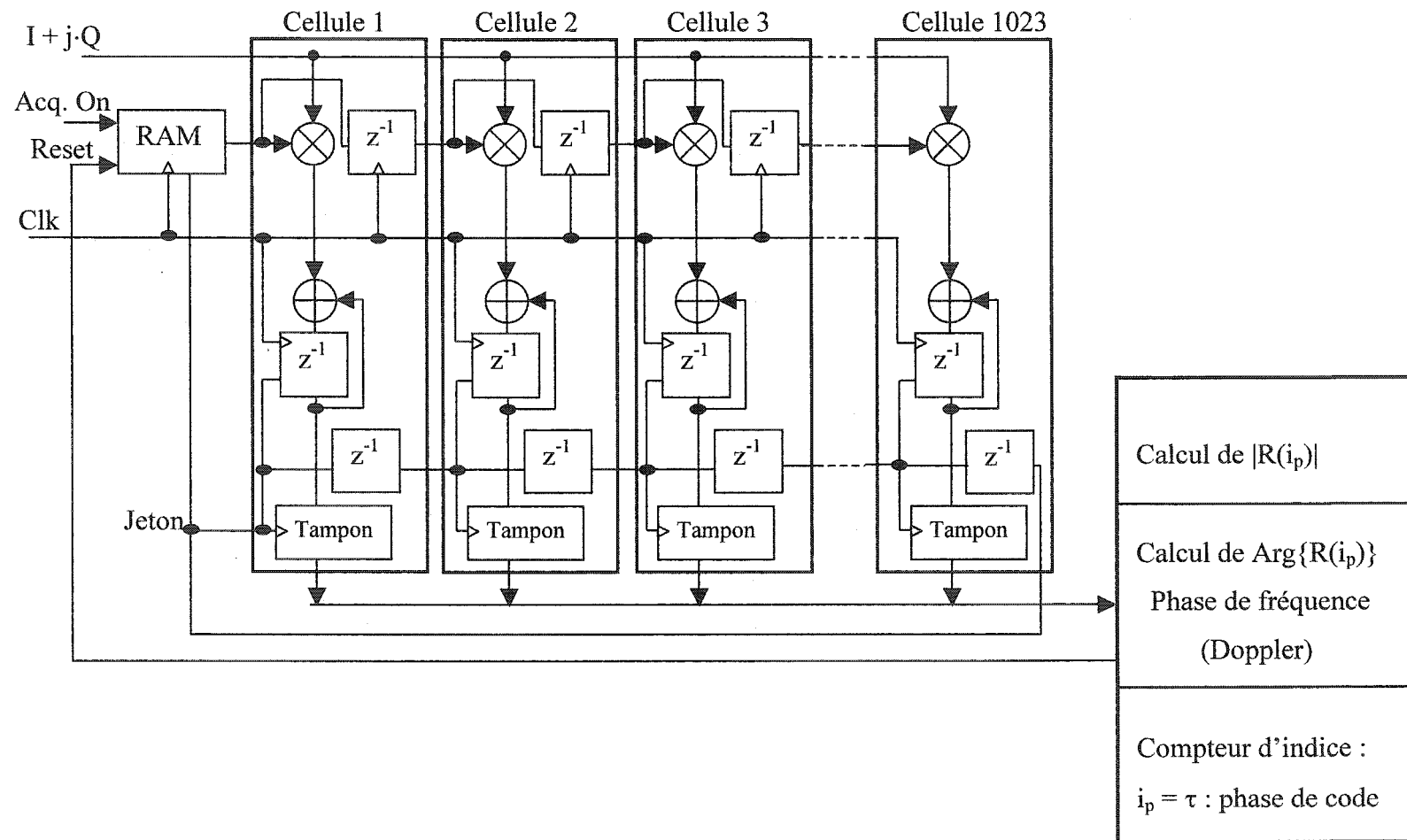


Figure 43 Illustration de l'architecture proposée du corrélateur GPS systolique avec son module de calcul

Le jeton sert aussi à faire une remise à zéro de l'accumulateur de chaque cellule, et ce après chaque 2046 chips traités. Ceci permet d'éviter d'avoir des valeurs insignifiantes aux sorties des accumulateurs, et ce lorsqu'une nouvelle acquisition est démarrée par un code d'un satellite différent du précédent.

Notons aussi qu'à la fin de l'acquisition du signal GPS, le processeur utilisé pour les calculs envoie au générateur de la réplique de code un signal d'initialisation "reset" permettant de marquer la fin du processus d'acquisition.

Dans l'architecture systolique du corrélateur GPS proposé, chaque cellule comporte une multiplication de signe, un accumulateur et un tampon permettant de transmettre individuellement les résultats d'accumulation des cellules, et ce jusqu'à détection du pic de corrélation et estimation de la déviation de fréquence et de l'emplacement i_p de ce maximum de corrélation. Les délais utilisés dans le mécanisme systolique sont toujours de 1 μ s.

Il est à signaler que l'architecture du réseau systolique utilisé dans le système d'acquisition de la figure 43 est plus simple et compacte par rapport à celle de la figure 41. En plus, elle permet de faire l'acquisition complète du signal GPS, en estimant aussi la déviation de fréquence porteuse ϕ due au phénomène du Doppler.

Finalement le réseau systolique utilisé comporte 1023 cellules. Alors la précision de mesure de la phase de code qui en découle est inférieure à une dimension d'un chip. Toutefois, pour raffiner davantage cette estimation, un corrélateur de poursuite DLL comme celui utilisé au chapitre précédent peut être utilisé. Cette précision peut être améliorée autrement, et ce en augmentant significativement le nombre de cellule dans le réseau systolique. Ceci nécessitera d'adapter les retards z^{-1} utilisés pour maintenir un temps de propagation à travers le réseau d'une durée d'une période de code, soit de 1 ms. Par exemple pour un réseau de 2046, on utilisera des retards $\frac{1}{2}$ μ s.

6.3 Discussion des performances et résultats

L'architecture systolique proposée du corrélateur GPS, comporte 1023 cellules comme montré à la figure 43. Ce nombre particulier de cellules a été choisi afin de pouvoir effectuer la corrélation du signal reçu avec la réplique locale du code en désignant une cellule pour chaque chip de la période de code. Ainsi, ce corrélateur opère dans le domaine temporel par une structure de multiplication parallélisée, et le résultat de la phase de code est théoriquement disponible après l'acquisition d'une période de code entière, soit après 1 ms. Ce qui signifie que pour N égal à 1023 échantillons traités, une phase de code est déjà estimée. La figure 44 montre le pic de corrélation obtenu pour un décalage de code de 700 chips, et ce en traçant les résultats R_i consécutifs correspondants à chaque indice de cellule du réseau systolique.

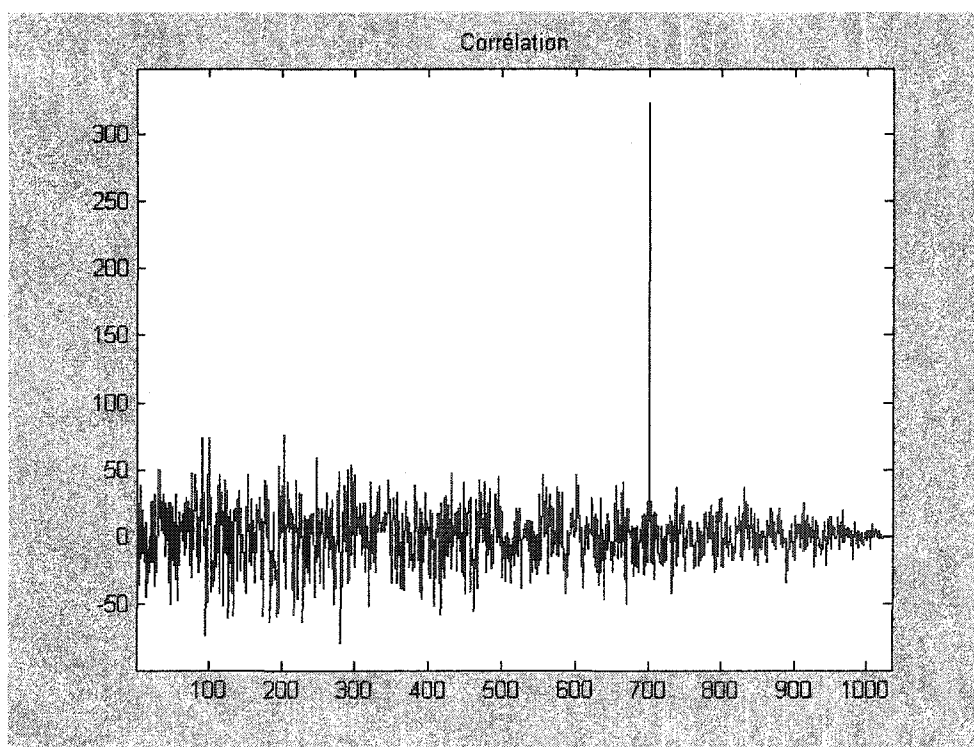
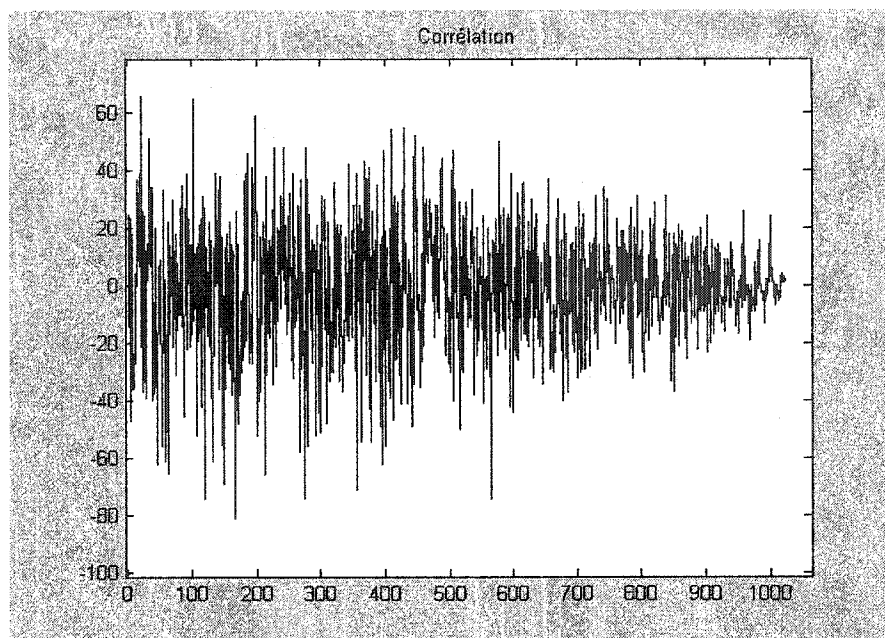


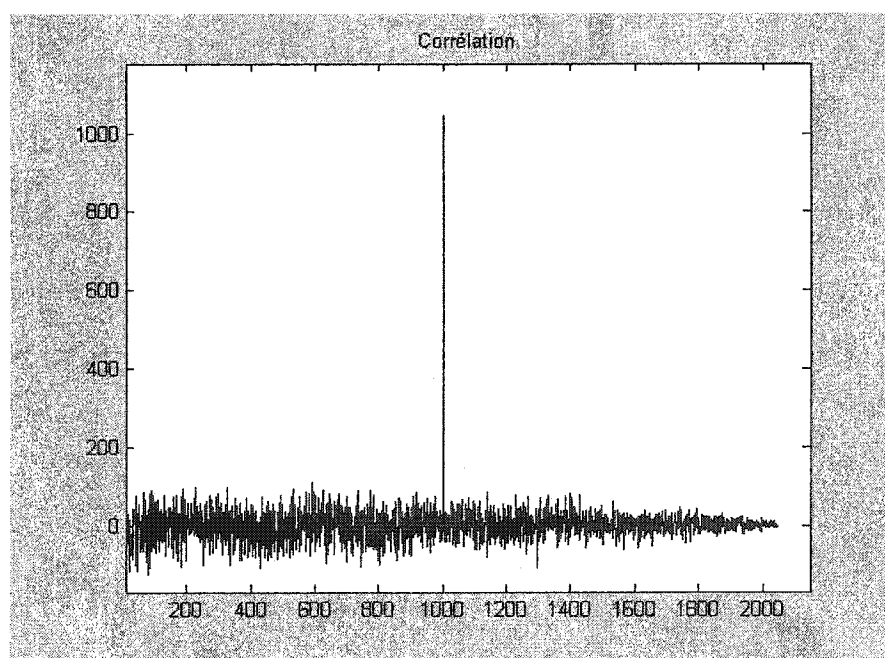
Figure 44 Résultat de corrélation obtenu pour un décalage de 700 chips

Les nombreuses simulations de cette architecture systolique ont montré que le traitement de N égale 1023 échantillons, permet d'obtenir une estimation de phase de code valable pour les déviations de code inférieures à 930 chips de décalage. Ceci peut être expliqué par le fait que pour les déphasages de code de plus de 930 chips allant jusqu'à 1022, les dernières cellules du réseau systolique n'auront pas la possibilité de traiter suffisamment de données pour pouvoir accumuler un résultat R_i qui traduit le vrai emplacement du pic de corrélation. Ceci peut être observé par les valeurs R_i généralement décroissantes pour i croissante comme le montre la figure 44. Ainsi pour remédier à ce problème, nous avons décidé d'attendre le mûrissement de cette phase de code estimée, quelque soit sa valeur, et ce après le traitement de 2046 chips de données, soit après 2 ms.

La figure 45a montre le pic de corrélation obtenu pour un décalage de code de 1000 chips en utilisant un nombre de données N égal à 1023, tandis que la figure 45b montre ce résultat pour un nombre d'échantillons N traités égal à 2046. Pour N égal à 1023 chips, on voit que le résultat de traçage des R_i ne fournit par d'information sur l'emplacement du pic de corrélation permettant de déduire la déviation de code prééglée à 1000 chips. Ceci est dû au nombre insuffisant des données traitées pour ce cas de déviation supérieure à 930 chips. Tandis que pour la figure 45b, on observe un pic de corrélation situé au bon indice de 1000 qui correspond à la phase de code prééglée. Ceci est dû à l'utilisation de N égal à 2046 données traitées qui ont permis aux dernières cellules du réseau systolique du corrélateur d'accumuler plus de multiplications afin de converger vers le bon indice qui correspond au décalage initial. Un agrandissement de la figure 45b est montré à la figure 46. Celui-ci permet de visualiser la forme triangulaire du pic de corrélation obtenu. Aussi par cette courbe triangulaire, on observe que le triangle représentant le pic de corrélation est d'une largeur de 2 échantillons et est symétrique autour de l'échantillon 1000 qui traduit exactement le décalage initial entre les deux séquences du code C/A corrélées.



a) $N = 1023$ données traitées



b) $N = 2046$ données traitées

Figure 45 Résultat de corrélation obtenu pour un décalage de 1000 chips

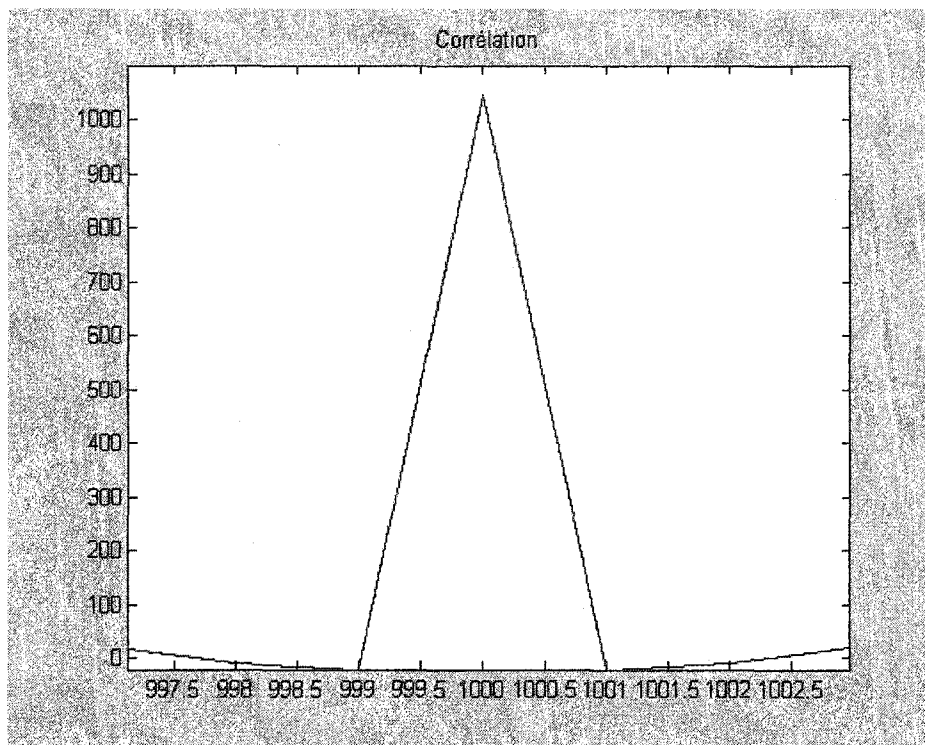


Figure 46 Forme triangulaire du pic de corrélation autour de l'indice 1000

Les déphasages problématiques de plus de 930 chips, pour N égal à 1023, peuvent être considérés comme des petits déphasages de moins de 93 chips dans le sens inverse de décalage entre les deux séquences corrélées. Ainsi le temps de réponse de notre corrélateur peut être réduit de moitié, soit à 1ms, et ce si on pouvait prédire selon la connaissance du satellite reçu et de ses données Almanac, l'ordre de grandeur de cette déviation de code due au temps de voyage du signal de ce satellite à notre récepteur GPS. Cependant, le temps de réponse de 2 ms obtenu, demeure toujours un temps record pour l'acquisition avec ce corrélateur uniquement. La simplicité de la structure de celui-ci et la facilité de son implémentation sur une dense puce FPGA, nous motive à en implémenter en temps réel autant que permet cette puce, et ce afin d'exploiter tous ces corrélateurs en parallèle pour avoir une acquisition encore plus rapide du signal GPS.

CHAPITRE 7

ARCHITECTURES RETENUES

7.1 Aperçu des puces programmables FPGA de Xilinx

Depuis l'invention par Xilinx en 1985 du premier prototype des puces programmables FPGA, celles-ci avaient rapidement tissées leurs réputation d'être rapides, fiables et surtout simples pour implémenter des applications numériques de grandes envergures. Ces composantes représentent la nouvelle addition à la famille des circuits logiques et programmables, à savoir les PLD ("Programmable Logic Device"). La première famille des FPGA introduite par Xilinx a été la série XC2000 [Alfke01]. Cette famille de FPGA a servi de prototype pour les générations qui l'ont suivi. Toutefois, elle est discontinuée actuellement chez Xilinx.

La troisième génération a été la série XC4000. Celle-ci a été introduite en 1991 et est considérée comme étant la base des séries de FPGA qui l'ont suivi jusqu'à aujourd'hui, tel est le cas de la famille Virtex qu'on a choisi pour l'implémentation de ce travail. La figure 47 illustre l'arbre généalogique des différentes séries des générations de FPGA issues de la série XC4000. Ainsi d'une façon générale, l'architecture de cette dernière est considérée représentative pour les autres séries de FPGA modernes. Elle est constituée principalement des trois éléments suivants :

- Blocs programmables d'entrées/sorties IOB ("Input/Output Blocks").
- Blocs d'éléments logiques configurables CLB ("Configurable Logic Blocks").
- Blocs PI programmables d'éléments de connexions entre tous les blocs de la matrice ("Programmable Interconnect").

La figure 48 illustre la structure globale d'une matrice FPGA constituée des trois derniers éléments.

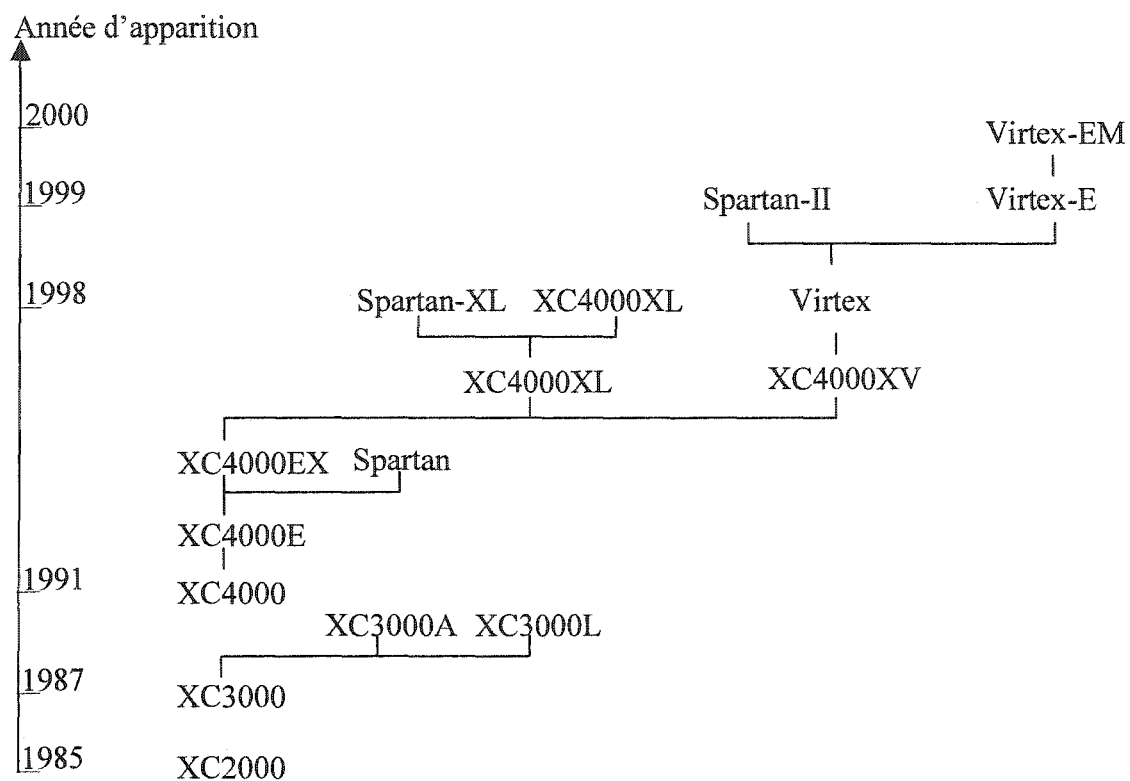


Figure 47 Arbre généalogique des séries de générations de FPGA de Xilinx

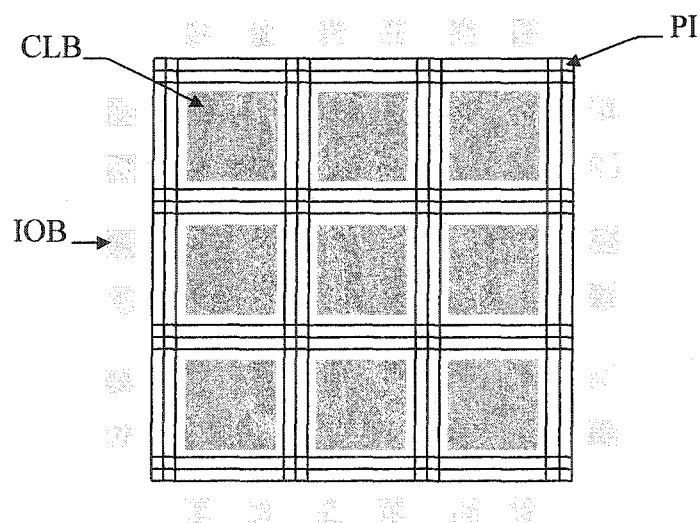


Figure 48 Structure globale d'une puce FPGA

Ainsi, une puce FPGA consiste en une matrice d'éléments logiques configurables CLB, entourés par des blocs IOB d'entrées/sorties programmables, et connectés par des éléments PI de connexions internes programmables aussi. De nos jours, ces matrices contiennent plusieurs millions de portes et peuvent fonctionner à des fréquences très élevées.

Les IOB permettent de réaliser la connectivité avec le monde extérieur. Comme déjà mentionné, ces blocs sont programmables et ont ainsi différentes options de configuration.

Les PI permettent de faire le routage des connexions internes entre les blocs de la matrice FPGA. Les interconnexions sont faites en utilisant des transistors à gâchettes avec des amplificateurs répéteurs placés à des intervalles particuliers pour amplifier les niveaux logiques et minimiser les délais des chemins critiques.

Les CLB permettent d'implémenter la fonction logique désirée. Ces blocs peuvent être utilisés pour réaliser des fonctions de logique combinatoire synchrone, aussi bien pour servir comme des modules de mémoires RAM à base de LUT. Un CLB peut être constitué de 2 à 4 "slices", c'est à dire qu'il peut contenir jusqu'à 8 bascules D. La "slice" peut comprendre trois types de LUT, deux bascules D et d'autres circuits tels que des multiplexeurs. L'architecture d'une "slice" est présentée à la figure 49 [Garcia02]. Chaque LUT est une mémoire de un bit de large et de 16 bits de long. Ces composantes sont ainsi capables de simuler n'importe quelle fonction logique à quatre entrées et une sortie. Aussi, la logique combinatoire est implantée grâce à ces constituants LUT du "slice" qui peuvent être considérés comme des mémoires initialisées lors de la configuration du circuit FPGA. Et enfin notons aussi que les LUT peuvent être configurés comme des registres à décalage de longueur programmable jusqu'à 16 bits.

Pour des descriptions plus détaillées et complètes des puces FPGA de Xilinx, consulter la référence [Xilinx03].

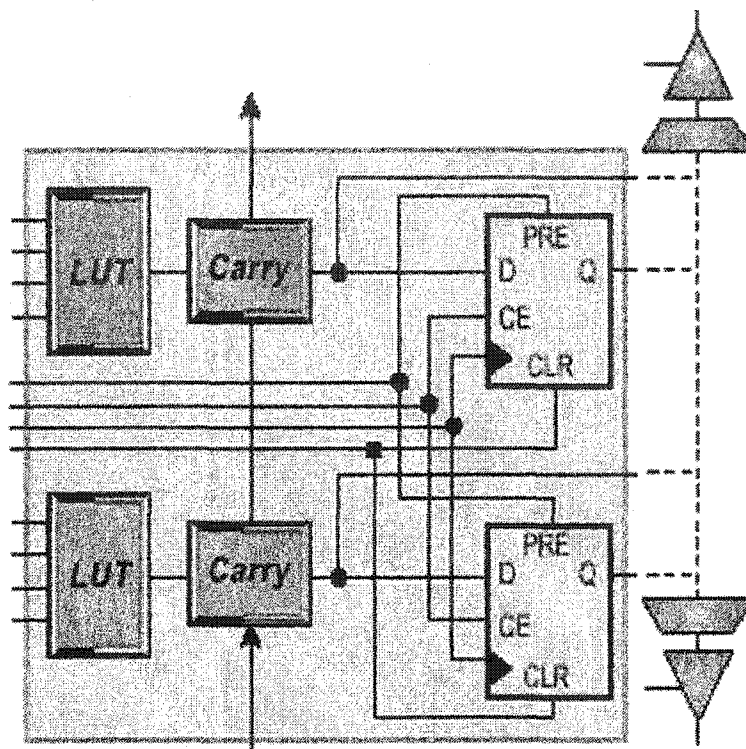


Figure 49 Structure simplifiée d'une "slice"

Une logique supplémentaire de retenue "Fast Carry" est présente dans chacune des "slices". Celle-ci permet l'implémentation des fonctions de type accumulateur chargeable pour la réalisation des opérations, ou fonctions arithmétiques. Grâce à ces éléments, des modules de type accumulateur chargeable en addition, ou en soustraction, pourront être implantés à raison de 2 bits par "slice".

Notons finalement que dans le cadre du présent projet de recherche, nous pouvons faire une étude de la complexité des architectures retenues du corrélateur GPS, et ce en évaluant le nombre de "slice" nécessaire à l'implémentation de chacune de ces architectures.

7.2 Analyse de complexité et validation des architectures

Dans le but d'améliorer le processus d'acquisition du signal GPS, nous avons présenté dans ce mémoire de nouvelles techniques pouvant être utilisées pour réaliser un corrélateur GPS rapide. Les architectures proposées de ce récepteur GPS et qui découlent des techniques retenues sur la base des études et simulations présentées aux chapitres précédents, doivent aussi faire l'objet d'analyse de complexité au niveau surface silicium nécessaire, et ce afin de préparer et faciliter l'implémentation de cette nouvelle structure proposée du corrélateur GPS.

Pour l'architecture proposée au chapitre 5, la corrélation du signal GPS est réalisée à l'aide de la transformée de Fourier rapide FFT tel qu'illustré à la figure 33. Ainsi pour implémenter ce dernier composant, il est plus facile d'utiliser le "core" optimisé de Xilinx de la FFT de 1024 points compatible à ce choix d'implémentation. Tandis que pour les autres blocs utilisés en acquisition, une évaluation grossière de leur complexité devra être faite, et ce afin d'avoir un chiffre approximatif de la complexité totale du système d'acquisition.

Concernant l'architecture proposée au chapitre 6 dernier, le corrélateur GPS est régi selon un mécanisme systolique de 1023 cellules identiques. Donc l'analyse de complexité de cette dernière architecture revient à évaluer la complexité d'une des cellules constituant le réseau systolique montré à la figure 43.

7.2.1 Architecture du corrélateur GPS systolique

Le système d'acquisition basé sur le réseau systolique est constitué principalement des cellules PE constituant le mécanisme systolique. Ces éléments de traitement sont très simples et identiques les uns aux autres, sauf pour la 1023^{ème} cellule où on a un bloc de

délai de moins. Ceci est dû au fait que cette dernière cellule soit placée à la fin du réseau, et que ce délai soit normalement utilisé pour attaquer la cellule suivante par la réplique locale du code. Notons que chaque cellules comporte 3 délais, un tampon, une addition et multiplication complexes.

D'autre part, on considère que les données sont quantifiés sur 8 bits. Et comme déjà mentionné à la première section de ce chapitre, une "slice" correspond à 2 bits mémorisés. Alors pour une addition sur 8 bits, on aura à mémoriser 9 bits de résultat si une augmentation du nombre de bit est permise. Ainsi cette addition donnant neuf bits de résultat correspond à :

$$\frac{1\text{slice} \times 9\text{bits}}{2\text{bits}} = 4.5\text{slices} \quad (7.1)$$

De même pour une multiplication sur 8 bits, on aura à mémoriser 16 bits de résultat. Ainsi cette opération correspond à :

$$\frac{1\text{slice} \times 16\text{bits}}{2\text{bits}} = 8\text{slices} \quad (7.2)$$

Tandis que pour le tampon et les trois délais, ces composants ne sont pas autres que des mémoires synchrones. Et comme déjà montré à la figure 48, chaque "slice" comporte deux LUT dont chacun peut eut être configuré comme une mémoire de longueur de 16 bits. Alors le délai utilisé pour transmettre le jeton de 1 bit à travers les cellules du réseau, ne prendra pas plus qu'un LUT, soit :

$$\frac{1\text{slice} \times 1\text{LUT}}{2\text{LUT}} = 0.5\text{slices} \quad (7.3)$$

Et celui utilisé pour transmettre la réplique de code sur 8 bits aux cellules du réseau systolique, correspondra aussi à son tour à :

$$\frac{1\text{slice} \times 1\text{LUT}}{2\text{LUT}} = 0.5\text{ slices} \quad (7.4)$$

Pour le délai de l'accumulateur, celui-ci a besoin de mémoriser le résultat allant à 9 bits. Alors sa complexité maximale sera aussi de $\frac{1}{2}$ "slice". De même pour le tampon utilisé pour mémoriser ce résultat, la complexité est de $\frac{1}{2}$ "slice".

Notons finalement que toutes les opérations dans la cellule manipulent des données complexes ayant deux composantes I et Q. Alors, en réalité, toutes ces opérations sont de complexité doublée par rapport à ce que nous venons d'évaluer. Donc la complexité correspondante à une cellule sera de :

$$2 \times (4.5 + 8 + 0.5 + 0.5 + 0.5 + 0.5) = 29\text{ slices} \quad (7.5)$$

Ainsi, on peut déduire la complexité totale du réseau systolique, et ce en termes de "slices" comme suit :

$$(1023 \times 29) - 0.5 = 29\,666.5\text{ slices} \quad (7.6)$$

Notons que les blocs de la RAM contenant les répliques de code C/A possibles et le module de calcul utilisé, qui sont schématisés à la figure 43, ne sont pas pris en considération dans cette évaluation de complexité, car ils peuvent faire partie du DSP et des RAM qui sont disponibles sur cette carte. Toutefois, il est pertinent de souligner que les puces FPGA modernes de Xilinx disposent abondamment de ressources de mémoires RAM. Celles-ci peuvent être préalablement exploitées, et ce afin d'emmagasiner les

répliques de code de toute la constellation des 24 satellites GPS. Ceci nécessitera un seul kbits par SV, donc 24 kbits sont nécessaires pour emmagasiner toutes ces répliques.

Si à titre d'exemple, la puce FPGA utilisée est une Virtex-II Pro XC2VP125 qui permet un nombre maximal de slices de 55 616 slices, et dispose de 10 008 kbits de RAM, alors l'implémentation de ce corrélateur GPS systolique utilisera moins de 54 % des ressources en terme de "slices", de cette puce, et moins de 0.24 % de ses ressources en terme de mémoires RAM. Notons que cette complexité en terme de "slices" peut être diminuée davantage, et ce si on considère les processeurs "PowerPC" disponibles sur les puces modernes de Xilinx, soit 4 processeurs sont offerts pour la Virtex-II Pro XC2VP125. Alors, il sera toujours possible d'utiliser des puces plus petites pour une complexité optimisée et plus compacte. D'autre part, nous pourrions diminuer encore plus cette complexité et utiliser des puces encore plus petites telle que la Virtex-II Pro XC2VP7, et ce au prix d'un traitement un peu plus lent ou en utilisant une plus rapide horloge. Ceci est réalisable en effectuant un traitement par blocs. Celui-ci permettra d'emmagasiner les bits entrants dans des tampons pour pouvoir alimenter ensuite le nombre de cellules diminué dans le corrélateur systolique. Par exemple, en utilisant le traitement par blocs pour un réseau de 100 cellules contrôlées par une horloges de 10.23 MHz, nous aurons réalisé un gain potentiel conservant ainsi le même temps de réponse, et ce pour une complexité dix fois plus petite en terme de "slices". Dans ce cas, une puce aussi petite que la Virtex-II Pro XC2VP4 pourrait suffire, et ce avec une exploitation de moins de 4.76 % de ses ressources de mémoires RAM.

De cette façon, l'exploitation des hautes vitesses de traitement offertes par les puces de Xilinx, et ce conjointement avec l'utilisation de la technique de traitement par blocs, appliquée à ce mécanisme d'acquisition GPS parallélisé, permettra de conserver les performances de ce système tout en réduisant sa complexité. Ceci montre l'avantage d'utilisation de ces puces FPGA pour de telles applications.

7.2.2 Architecture du corrélateur rapide à base de FFT

Si l'on veut implémenter les FFT/IFFT du système d'acquisition sur une même puce programmable, le coût de celui-ci peut être très élevé car il dépassera facilement la capacité d'intégration offerte par une puce FPGA quelconque. Ceci peut être vérifié de manière intuitive en observant le nombre d'opérations nécessitées pour les 15 FFT en cette méthode, soit de 107 520 multiplications et de 102 400 additions comme déjà calculé à la section 5.3 du chapitre 5. Et ce sans tenir encore compte du nombre de bits de quantification de la donnée IF numérique qui est de 3 bits comme déjà mentionné à la sous-section 1.4.1 du premier chapitre. Toutefois, il est possible de diminuer cette complexité en gardant les mêmes performances de vitesse, et ce en utilisant une horloge cinq fois plus rapide ($15/5 = 3$) et exploitant ainsi une seule FFT et IFFT pour calculer toutes les corrélations nécessitées par cette méthode d'échantillonnage proposée à la section 5.3. L'utilisation d'une troisième FFT pour les répliques locales de code pourra être évitée, et ce en mémorisant les conjugués des transformées rapides de Fourier des 24 répliques de codes possibles. Ainsi, la complexité en tenant compte de la quantification sur 3 bits et en considérant des opérations complexes sur 2 voies, et ce en terme de "slices" sera respectivement pour les multiplications et additions comme suit :

$$2 \text{ voies} \times \frac{2 \text{ FFT}}{15 \text{ FFT}} \times \left(107\,520 \text{ multi.} \times \frac{1 \text{ slice} \times 9 \text{ bits}}{2 \text{ bits}} \right) = 129\,024 \text{ slices} \quad (7.7)$$

$$2 \text{ voies} \times \frac{2 \text{ FFT}}{15 \text{ FFT}} \times \left(102\,400 \text{ addi.} \times \frac{1 \text{ slice} \times 4 \text{ bits}}{2 \text{ bits}} \right) \cong 54\,613 \text{ slices} \quad (7.8)$$

Alors, la complexité totale correspondante en terme de "slices" sera de :

$$129\,024 + 54\,613 = 183\,637 \text{ slices} \quad (7.9)$$

Tandis que la complexité en terme de mémoires RAM nécessaire, elle s'élève là aussi à 24 kbits.

On voit que la complexité obtenue avec cette méthode en terme de "slices", est remarquablement supérieure au nombre de "slices" de 125 136 offert par la puce Virtex-II Pro XC2VP125. Donc, pour pouvoir effectuer une implémentation complète sur cette puce, nous devons exploiter les 4 processeurs "PowerPC" disponibles sur cette puce. L'autre choix, c'est d'utiliser des "cores" optimisés de FFT/IFFT de Xilinx à part. Ceci peut augmenter les coûts financiers de cette implémentation. Aussi, l'utilisation de ces "cores" à part la FPGA principale de la carte, aura sans doute un effet direct sur les délais de traitement et pourra entraîner des conflits dans ce sens. Une solution possible serait d'utiliser une carte à base de plusieurs puces programmables FPGA. Toutefois, ceci ne résoud pas le problème du coût et non plus pour les problèmes liés aux chemins critiques dus à l'utilisation de plusieurs blocs.

Ainsi, si cette méthode a passé les tests de simulations pour être retenue jusqu'à cette phase, elle ne passera pas facilement le test de complexité à l'encontre de la méthode basée sur le mécanisme systolique. Toutefois, ceci n'élimine pas complètement la possibilité d'implémentation de l'architecture basée sur cette méthode.

CONCLUSION GÉNÉRALE

Dans ce travail, nous avons exploré les possibilités d'utilisation de nouvelles techniques et architectures pour l'acquisition du signal GPS. Ces techniques ont permis de faire une acquisition rapide de l'ordre de 1 ms, et ce avec de bonnes estimations. Le système d'acquisition actuel consomme énormément du temps pour effectuer des estimations précises. Ceci est lié à la méthode de calcul de la fonction de corrélation et à la présence des boucles de poursuites. Ainsi, ce travail a permis d'utiliser d'autres méthodes plus rapide donnant de meilleurs performances.

La méthode basée sur l'utilisation de la FFT a été parfaitement adaptée pour ce genre d'application. Toutefois, une seule puce programmable FPGA n'est pas suffisante pour son implémentation complète. Cependant, il restera toujours possible d'effectuer cette implémentation si le système d'acquisition correspondant est partitionné en plusieurs blocs, et ce de façon à pouvoir les implémenter sur une carte à base de puces FPGA multiples. Ainsi, une acquisition en temps réel du signal GPS sera possible. Notons que dans ce cas, les coûts financiers relatifs peuvent croître à cause de cette augmentation du nombre de puces programmables.

La méthode basée sur l'utilisation de la transformée de Walsh a démontré une efficacité remarquable en vitesse de traitement. Elle est particulièrement adéquate pour les applications de temps réel où le processus d'acquisition doit être très rapide. Ceci est explicable par le nombre d'opérations nécessitées par cette méthode qui est de 26 fois moindre que pour la méthode basée sur la FFT. Aussi cette méthode basée sur Walsh est meilleure que celle basée sur l'utilisation de la FFT par sa facilité d'implémentation directe. Cependant l'unique inconvénient de cette méthode demeure l'impossibilité de son application directe aux séquences de Gold utilisées en GPS.

La méthode de conception basée sur le mécanisme systolique, a démontré plusieurs avantages et facilités par rapport aux autres techniques utilisées. La structure systolique a permis de réunir plusieurs avantages. En effet, le système d'acquisition proposé se distingue par une architecture triviale et compacte, une assez bonne vitesse de traitement, des performances d'estimation acceptables ainsi que par une excellente facilité d'implémentation. La complexité d'une implémentation directe de ce système n'utilisera que 54 % des ressources d'une puce Virtex-II Pro XC2VP125. Ceci permettra d'améliorer davantage les performances en terme de vitesse de traitement et de qualité des mesures d'estimations. En effet cette disponibilité de surface peut être exploitée pour intégrer autant de corrélateurs, que le permet la puce utilisée. Ceux-ci pourront opérer simultanément dans une structure parallélisée. Il est à noter aussi que cette complexité peut être réduite afin de pouvoir utiliser de plus petites puces telle que la Virtex-II Pro XC2VP7, et ce au prix d'utilisation d'une horloge plus rapide. Ceci est réalisable en effectuant un traitement par blocs qui permettra d'emmagasiner les bits entrants dans des tampons pour pouvoir alimenter ensuite le nombre de cellules réduit dans le corrélateur systolique. Pour un réseau de nombre de cellules réduit à 100, ses éléments devront être contrôlés par une horloges dix fois plus rapide. Ceci permet de conserver les performances en terme de temps de réponse du système d'acquisition, et ce pour une complexité dix fois plus petite. Dans ce cas, une aussi petite puce que la Virtex-II Pro XC2VP4 pourrait suffire, et ce avec une exploitation de moins de 4.76 % de ses ressources de mémoires RAM. Ainsi, cette méthode est considérée comme étant la meilleure solution pour remplacer la structure du récepteur GPS actuel.

Recommandations

Toutes les nouvelles méthodes présentées dans ce mémoire pour l'acquisition du signal GPS, demeurent de bonnes candidates pour remplacer la structure standard du récepteur GPS séquentiel, car leur utilisation permet de concevoir un récepteur plus approprié aux applications de vitesse dynamique. À titre d'exemple, pour un avion, l'utilisation de ce

récepteur lui permettra d'avoir un taux d'actualisation élevé pour les mesures d'altitude, de vitesse et de direction.

La technique proposée à base de FFT peut être implémentée sous forme de blocs, tout en minimisant le plus possible les coûts nécessaires. Les performances de celle-ci peuvent être ensuite évaluées afin d'être comparée dans l'ensemble à la structure du récepteur actuel.

Le développement d'une méthode permettant d'étendre l'application de la transformée de Walsh au code C/A, reste un domaine ouvert à la recherche. D'une façon générale, le développement d'algorithmes rapides pour le calcul des corrélations circulaires, et ce sans utilisation de FFT, demeure une orientation valide pour les recherches futures.

En ce qui concerne la technique de conception systolique, elle est sans doute la meilleure alternative à adopter pour les futures générations des récepteurs GPS. Le travail de recherche commencé dans ce mémoire devra être continué, en développant un algorithme d'allocation flexible des canaux de corrélateurs, permettant ainsi une exploitation optimale de la technologie offerte par les puces programmables existantes. Ainsi, une implémentation pourra être réalisée afin de faire l'objet de tests confirmant les performances obtenues par les simulations. Notons que la réalisation de ce nouveau récepteur GPS améliorera judicieusement les performances dans le domaine du GPS et contribuera significativement au progrès technologique.

Enfin, l'extension de ces travaux de recherche pour l'acquisition de faibles signaux, peut être considéré très important. En effet, dans plusieurs situations, certains satellites peuvent être dans des positions induisant la réception d'un signal GPS affaibli. Ainsi, une telle architecture du récepteur GPS pourra détecter ces signaux rapidement pour en déduire constamment la position de l'engin récepteur. Une autre extension est aussi recommandable, et ce dans le sens d'acquisition des signaux militaires à base du code P.

BIBLIOGRAPHIE

- [Ackenhusen99] J. G. Ackenhusen, Real-time Signal Processing : Design and Implementation of Signal Processing Systems, Prentice Hall, 1999.
- [Alaqeeli01] A. Alaqeeli et J. Starzyk, "Hardware Implementation for Fast Convolution with a PN Code Using Field Programmable Gate Array", *Proc. of 33rd Southeastern Symposium on System Theory*, mars 2001.
- [Alaqeeli03] A. Alaqeeli , J. Starzyk, et F. van Graas, "Real-time acquisition and tracking for GPS receivers", *Proc. of the 2003 International Symposium on* , Vol. 4, mai 2003.
- [Alfke01] P. Alfke, "Xilinx Getting started: How to choose the best Xilinx programmable logic technology for your application", *Xcell Journal* 37, février 2001.
- [Akos96] D. Akos et J. Tsui, "Design and Implementation of a Direct Digitization GPS Receiver Front End," *IEEE Transactions on Microwave Theory and Techniques*, Vol. 44, No. 12, décembre 1996.
- [Braasch99] M. S. Braasch et A. J. Dierendonck, "GPS Receiver Architectures and Measurements", *Proc. IEEE*, Vol. 87, No.1, janvier 1999.
- [Broigniez96] T. Broigniez, "Modélisation de la chaîne d'acquisition d'un récepteur GPS", *rapport de mini-projet à l'École Nationale Supérieure de l'Aéronautique et de l'Espace*, mars 1996.
- [Budisin89] S. Budisin, "Fast PN Sequence Correlation By Using FWT" *Mediterranean Electrotechnical Conf. Proc.*, Lisbon, Portugal, avril 1989.
- [Coenen92] A. Coenen et Van Nee D., "Novel Fast GPS/GLONASS Code-Acquisition", *Electronics Letters*, Vol. 28, No.9, avril 1992.

- [Cohn77] M. Cohn et A. Lempel, "On Fast M-Sequence Transforms," *IEEE Transactions on Information Theory*, janvier 1977.
- [Cooper86] G. R. Cooper et C. D. McGillem, Modern Communications and Spread Spectrum, McGraw Hill Inc., New York, 1986.
- [Demengel99] Gilbert Demengel, Transformations de Fourier généralisées : séries et transformations de Fourier et de Walsh, leurs extensions, transformations discrètes et rapides : cours et problèmes résolus, Paris : Ellipses, 1999.
- [Dixon94] R. Dixon, Spread Spectrum Systems with Commercial Applications, 3ème éd., John Wiley & Sons Inc., New York, 1994.
- [Feng99] G. Feng et F. Van Graas, "GPS Receiver Block Processing", *Proc. ION GPS-99*, Nashville, septembre 1999.
- [Gagnon03] François Gagnon, "Communication personnelle", *École de Technologie Supérieure*, février 2003.
- [Garcia02] E. Garcia, "Bien concevoir avec un FPGA", *Publications de la compagnie MVD*, mai 2002.
- [Gibson93] J. Gibson, Principles of Digital and Analog Communications, 2ème éd., Prentice Hall, 1993.
- [Hamelin97] É. Hamelin, "Étude d'un système CDMA à taux multiples", *mémoire de maîtrise à la Faculté des études supérieures de l'Université Laval*, septembre 1997.
- [Hassan98] A. Hassan, J. Hershy et G. Saulnier, "Perspectives in Spread Spectrum", *kluwer academic pub.*, 1998.
- [Kaplan96] E. D. Kaplan, ed., Understanding GPS: Principals and Applications, Artech House Publishers, 1996.
- [Kantabutra99] V. Kantabutra, "High-radix CORDIC for vector rotation with pipelined FPGA implementation", *Proc. of ICECS99, The 6th IEEE International Conf. on*, Vol. : 2, septembre 1999.
- [Kharrat01] M.W., Kharrat, M. Loulou, N. Masmoudi et L. Kamoun, "A new method to implement CORDIC algorithm", *ICECS 2001, The 8th IEEE International Conf. on*, Vol.: 2, septembre 2001.

- [Kung80] H. T. Kung et C. E. Leiserson, Algorithm for VLSI Processor Arrays, In Introduction to VLSI systems, Chapitre 8.3, Addison-Wesley, 1980.
- [Kung88] H. T. Kung, "Systolic Arrays", Proc. of the International Conference on, 1988.
- [Landry98] R. Jr. Landry, "Techniques d'abaissement des seuils d'acquisition et de poursuite pour les récepteurs GPS", *mémoire post-doctoral au centre national d'études spatiales de Toulouse*, 1998.
- [Lempel79] A. Lempel, "Hadamard and M-Sequence Transforms are Permutationally Similar," *Applied Optics*, Vol. 18, No. 24, décembre 1979.
- [Moeglein98] M. Moeglein et N. Krasner, "An Introduction to SnapTrackTM Server-Aided GPS Technology" *Proc. ION GPS-98*, Nashville, septembre 1998.
- [Parkinson96] B. Parkinson et J. Spilker, Global Positioning System: Theory and Applications, Vol.1, American Institute of Astronautics and Aeronautics, Washington DC, 1996.
- [Peterson95] R. Peterson, R. Ziemer et D. Borth, Introduction to Spread Spectrum Communications, Prentice Hall, 1995.
- [Psiaki01] M. L. Psiaki, "Block Acquisition of Weak GPS Signals in a Software Receiver", *Proc. ION GPS-2001*, Salt Lake City UT, septembre 2001.
- [Sari95] H. Sari et P. Cochet, "Transform-Domain Signal Processing in Digital Communications," Tirrenia International Workshop on Digital Communications, Viareggio, Italie, 1995.
- [Smith95] W. Smith et J. Smith, Handbook of Real-Time Fast Fourier Transforms, IEEE Press, 1995.
- [Starzyk01] J. A. Starzyk et Z. Zhu, "Averaging Correlation for C/A Code Acquisition and Tracking in Frequency Domain", *Circuits and Systems, 2001, MWSCAS 2001, Proc. of the 44th IEEE 2001 Midwest Symposium on*, Vol. 2, août 2001.

- [Trimble] Companie Trimble, "How GPS works: Getting perfect timing",
<http://www.trimble.com/gps/how.html>.
- [VanNee91] D. J. R. Van Nee et A. J. R. M. Coenen, " New Fast GPS Code-
Acquisition Technique Using FFT ", Electronics Letters, Vol. 27
no.2, janvier 1991.
- [Viterbi95] A. Viterbi, CDMA : Principles of Spread Spectrum
Communications. Addison Wesley, 1995.
- [Xilinx03] Xilinx Inc., "The programmable Logic Data Book", 2003.
http://www.xilinx.com/xlnx/xweb/xil_publications_index.jsp
- [Zehavi95] E. Zehavi, "Applications of Walsh Functions and the FHT in
CDMA Technology," Tirrenia International Workshop on Digital
Communications, Viareggio, Italie, 1995.